

特開平9-82956

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 R
21/76			21/76	L

審査請求 未請求 請求項の数5 OL (全 13 頁)

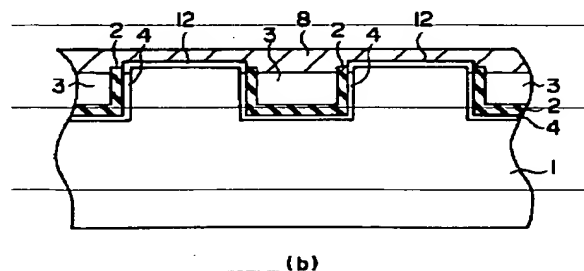
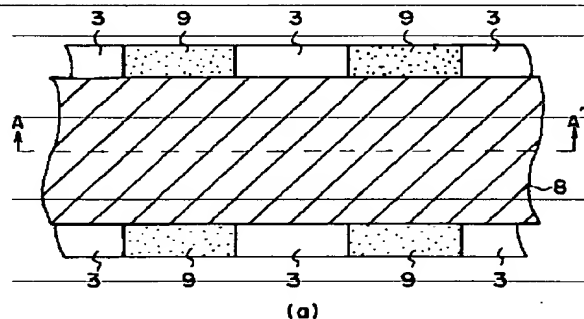
[illegible]

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 トレンチ分離を用いたMISFETにおいて、ゲート絶縁膜前処理のため素子分離絶縁膜が半導体領域よりもエッチングされ低くなってしまうのを防ぎ、半導体領域の角部分のしきい値が低下した寄生トランジスタの影響を低減する。

【解決手段】 半導体基板の素子分離領域にトレンチを形成し、このトレンチで分離された素子領域にMISFETを設けた半導体装置において、トレンチの側面及び底部にバッファ絶縁膜4を介して形成されたエッチングストップ絶縁膜2と、トレンチ内に埋め込み形成された素子分離用絶縁膜3とを具備し、絶縁膜2は半導体基板1の上面より高い位置まで形成され、絶縁膜4の厚さはMISFETのゲート絶縁膜の厚さ以下に設定されている。



(2)

【特許請求の範囲】

【請求項 1】半導体基板の素子分離領域にトレンチを形成し、該トレンチで分離された素子領域にMISFETを設けた半導体装置において、前記トレンチの少なくとも側面に形成された第1の絶縁膜と、前記トレンチ内に埋め込み形成された第2の絶縁膜とを具備し、

第1の絶縁膜は前記半導体基板の上面と等しい又は前記半導体基板の上面より高い位置まで形成され、第1の絶縁膜と前記半導体基板との距離は前記MISFETのゲート絶縁膜の厚さ以下に設定されてなることを特徴とする半導体装置。

【請求項 2】第1の絶縁膜はエッチングストップとして機能するシリコン窒化膜からなり、第2の絶縁膜は素子分離のためのシリコン酸化膜からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】第1の絶縁膜とトレンチ側面との間に第3の絶縁膜が形成され、この第3の絶縁膜の厚さを前記MISFETのゲート絶縁膜の厚さ以下に設定してなることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】支持基板上に選択的に形成された半導体層にMISFETを設けた半導体装置において、前記半導体層の少なくとも側面に該層の上面と等しい又は該層の上面より高い位置まで絶縁膜が形成され、かつこの絶縁膜と前記半導体層との距離は前記MISFETのゲート絶縁膜の厚さ以下に設定されてなることを特徴とする半導体装置。

【請求項 5】半導体基板の素子分離領域にトレンチを有し、該トレンチで分離された素子領域にMISFETを設けた半導体装置の製造方法において、半導体基板の素子分離領域にトレンチを形成する工程と、前記トレンチが形成された基板の表面に沿って、前記MISFETのゲート絶縁膜よりも膜厚の薄いバッファ絶縁膜を介してエッチング防止用絶縁膜を形成する工程と、

全面に素子分離用絶縁膜を堆積する工程と、前記基板表面が露出するまで各絶縁膜をエッチバックして前記トレンチ内に前記素子分離用絶縁膜を埋め込むと共に、前記トレンチの少なくとも側面に前記エッチング防止用絶縁膜を基板上面と同じ又は基板上面より高い位置まで残す工程と、前記MISFETのゲート絶縁膜を形成すると同時に、前記エッチング防止用絶縁膜と基板との間に再度バッファ絶縁膜を形成する工程と、前記MISFETのゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチ分離され

た素子領域にMIS（金属／絶縁膜／半導体）構造のFET（電界効果トランジスタ）を設けた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路の高集積化をはかるため、従来のLOCOS分離に代わり、より狭い絶縁体分離幅で高い電氣的分離能力を有するトレンチ分離が採用されている。ここで、単層の素子分離用絶縁膜を埋め込んだだけの従来のトレンチ分離構造においては、MISFETを形成すると次のような問題点があった。

【0003】図17のトレンチ分離を用いた従来の平面型MISFETを用いてこの問題点を説明する。(a)は平面図で、(b)は(a)の矢視A-A'断面図、(c)は(a)の矢視B-B'断面図である。図17で、1は半導体基板、3は埋め込み素子分離用絶縁膜、8はゲート電極、9はソース・ドレイン領域、12はゲート絶縁膜を示す。

【0004】従来、素子分離用絶縁膜3を作成した後にゲート絶縁膜12を形成し、さらにゲート電極8を形成する。ここで、素子分離用絶縁膜3を埋め込んだ後、半導体基板1の表面を露出するために絶縁膜のエッチバック処理を行う必要があるが、このエッチバック処理の際に素子分離用絶縁膜3がエッチングされ、図17(b)のように半導体基板1の露出表面よりも素子分離用絶縁膜3が低くなってしまふ。そして、b部分では半導体領域の角部分が露出し、角の部分のゲート電界が集中するため、a部分よりもトランジスタを形成した時のしきい値が低下し、寄生トランジスタが形成されてしまふ。

【0005】この寄生トランジスタの平面部トランジスタに対するコンダクタンス比は、ゲート幅が小さくなると大きく異なるしきい値を与えるため、幾つかのゲート幅のトランジスタを形成する集積回路では、寄生トランジスタは回路設計上大きな問題となる。また、この寄生トランジスタは、一般にゲート絶縁膜形成の前処理に伴うエッチング量やトレンチ分離形状によって、半導体領域と素子分離領域との形状が変化する。このため、電気特性が変化しデバイスの再現性を悪化させる原因となる。

【0006】

【発明が解決しようとする課題】このように従来、素子分離用絶縁膜を単層で形成するトレンチ分離構造では、MISFET形成時のゲート絶縁膜前処理のため、素子分離用絶縁膜が半導体領域よりもエッチングされ低くなってしまい、半導体領域の角部分が露出して、しきい値が低下した寄生トランジスタが形成されるという問題があった。

【0007】本発明は、上記問題を解決すべくなされたもので、その目的とするところは、ゲート絶縁膜形成前処理に伴う半導体領域の角部分の露出を未然に防止することができ、寄生エッジトランジスタの影響を低減し、

(3)

再現性の向上をはかり得る半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

(概要) 本発明の骨子は、半導体領域の近傍の素子分離用絶縁膜を、ゲート絶縁膜形成前処理によってエッチングされにくい別の絶縁膜に代替することにある。さらに本発明は、半導体領域に必ずしもエッチング防止用の絶縁膜を接触させなくとも、ゲート絶縁膜形成時の絶縁膜増分によって半導体基板エッジが露出しないようにし、半導体領域とエッチング防止膜との間に界面特性が優れた膜を形成できることを特徴とする。

【0009】即ち本発明は、半導体基板の素子分離領域にトレンチを形成し、該トレンチで分離された素子領域にMISFETを設けた半導体装置において、前記トレンチの少なくとも側面に形成された第1の絶縁膜と、前記トレンチ内に埋め込み形成された第2の絶縁膜とを具備し、第1の絶縁膜は前記半導体基板の上面と等しい又は前記半導体基板の上面より高い位置まで形成され、第1の絶縁膜と前記半導体基板との距離は前記MISFETのゲート絶縁膜の厚さ以下に設定されてなることを特徴とする。

【0010】また本発明は、上記構成の半導体装置の製造方法において、半導体基板の素子分離領域にトレンチを形成する工程と、前記トレンチが形成された基板の表面に沿って、前記MISFETのゲート絶縁膜よりも膜厚の薄いバッファ絶縁膜を介してエッチング停止用絶縁膜を形成する工程と、全面に素子分離用絶縁膜を堆積する工程と、前記基板表面が露出するまで各絶縁膜をエッチバックして前記トレンチ内に前記素子分離用絶縁膜を埋め込むと共に、前記トレンチの少なくとも側面に前記エッチング停止用絶縁膜を基板上面と同じ又は基板上面より高い位置まで残す工程と、前記MISFETのゲート絶縁膜を形成すると同時に、前記エッチング停止用絶縁膜と基板との間に再度バッファ絶縁膜を形成する工程と、前記MISFETのゲート電極を形成する工程とを含むことを特徴とする。

(作用) 本発明の構造では、エッチング防止用の第1の絶縁膜と半導体基板との間の第3の絶縁膜がゲート絶縁膜形成前処理によってエッチングされても、MISFETのゲート絶縁膜形成時に新たな絶縁膜によって埋め戻される。また、半導体基板のエッジは絶縁膜より高くなることなく、従ってゲート電極形成時にはエッジによる寄生トランジスタの影響を低減できる。さらに、ゲート絶縁膜形成前処理で第1の絶縁膜と半導体基板との間の第3の絶縁膜のエッチング深さが変化しても、MISFETのゲート絶縁膜形成時に新たな絶縁膜によって埋め戻されるため、前処理量の変化してもMISFETと素子分離用絶縁膜間の形状が安定に形成できる。

【0011】また、寄生トランジスタの影響が小さいた

4

め、ゲート幅が異なるトランジスタ間でも均一性の良いしきい値及びサブスレッショルドスウィング係数を実現できる。さらに、ゲートリソグラフィ時に絶縁膜エッチングによる段差が小さいため、半導体表面とトレンチ部分との段差も低減され、焦点深度が浅くても均一で良好なゲート形状が形成できる。また、ゲート形成のエッチング時にもゲート電極下地がより均一な高さで形成されているため、ゲート電極残渣が残りにくくなり、被覆率が悪いゲート電極材でも均一な高さでゲート形成できる。このため、均一性の良い面抵抗を有するゲートが形成できる。

【0012】また、本発明の製造方法を用いると、ゲート絶縁膜形成前処理エッチング量やトレンチ分離の形状によらず、ゲート絶縁膜を形成する工程で半導体基板と第1の絶縁膜との間に絶縁膜を形成でき、これによりエッジ寄生トランジスタの影響を防ぐことができる。

【0013】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

(実施形態1) 図1は本発明の第1の実施形態に係わる半導体装置の素子構造を説明するためのもので、(a)は平面図、(b)は(a)の矢視A-A'断面図である。本実施形態では、2つのMISFETを形成しているが、これらは図の配置で形成する必要は必ずしもなく、単独に実施することができる。

【0014】半導体基板1の素子分離領域にトレンチが形成され、このトレンチ内にはバッファ絶縁膜(第3の絶縁膜)4及びエッチング防止用絶縁膜(第1の絶縁膜)2を介して素子分離用絶縁膜(第2の絶縁膜)3が埋込み形成されている。トレンチで囲まれた素子領域の表面にはゲート絶縁膜12が形成され、さらにゲート絶縁膜12及びトレンチ内の各絶縁膜上にはゲート電極8が形成されている。そして、ゲート電極8の両側にソース・ドレイン領域9が形成されてMISFETが構成されている。

【0015】ここで、図1(b)での半導体基板1の角は、絶縁膜4又は絶縁膜2によって保護され、ゲート電極8がゲート絶縁膜12を介して半導体基板1の側面に接して配置されることがないように形成されている。

【0016】次に、図2及び図3を用いて、本実施形態の半導体装置の製造工程を説明する。これらの図は図1(b)の断面に対応する製造工程図である。まず、図2(a)に示すように、例えばボロン濃度 $1.0 \times 10^{17} \text{ cm}^{-3}$ のp型Si基板1に、パターニングとエッチングによって素子分離用絶縁膜を形成する領域にトレンチを形成する。トレンチの深さは、例えば $0.1 \sim 1.0 \mu\text{m}$ とする。トレンチ形成後、パンチスルーストップとして、例えばボロンを $1.0 \times 10^{12} \sim 1.0 \times 10^{14} \text{ cm}^{-2}$ イオン注入してもよい。

【0017】次いで、図2(b)に示すように、半導体

(4)

5

基板1の表面を例えば5nm酸化してバッファ絶縁膜4を形成した後、エッチングストップとなる絶縁膜2、例えばシリコン窒化膜を堆積する。この絶縁膜2の膜厚は、例えば10~200nmとの間とする。さらに、図2(c)に示すように、素子分離用絶縁膜3を堆積してその表面を平坦化する。絶縁膜3としては、例えば0.3~1μmの厚さのPSG膜を用いる。絶縁膜3としては、例えば700℃~1000℃程度のアニールを追加して膜をメルトさせ膜厚を均一にしてもよい。

【0018】次いで、図3(a)に示すように、絶縁膜3を表面から全面エッチングし半導体基板1が表面に露出するようにする。このとき、絶縁膜3に比べ絶縁膜4又は2のエッチングの速度が遅いようにし、ポリッシングによって全面平滑化すれば、半導体基板1に絶縁膜3を埋め込み形成するのは比較的容易にできる。勿論、全面エッチングには、反応性イオンエッチングを用いても良い。またこの際、全面エッチングで絶縁膜2が半導体基板1の凸部表面に残るようにエッチングした後、絶縁膜2を選択的にエッチングして取り除いてもよい。

【0019】次いで、ゲート絶縁膜12を形成する前の半導体基板1の洗浄処理をする。このとき、図3(b)に示すように、絶縁膜4がエッチングされ、半導体基板1の上面よりも下になってもよい。この際、絶縁膜2としては洗浄処理によってエッチングされにくい膜を用い、表面が半導体基板1の表面よりも下に形成されないようにする。

【0020】次いで、ゲート絶縁膜12形成前処理エッチングを行い、図3(c)に示すように、ゲート絶縁膜12の形成を行う。ゲート膜12の形成には、例えば基板1のSiの表面の酸化を用い、その厚さは5~50nmとする。このとき、絶縁膜2と半導体基板1との距離をゲート絶縁膜厚さ以下に保つことにより、絶縁膜4に形成されたエッチングによる膜減りをゲート絶縁膜12で埋め戻すことができる。

【0021】次いで、例えばポリシリコンからなるゲート電極8を全面堆積し、このゲート電極8に例えばPOCl₃拡散をして低抵抗化する。引き続き、ゲート加工をリソグラフィとエッチングを行う。この後、ゲート側壁を、例えば酸素雰囲気中で5~50nm酸化してもよい。

【0022】その後、例えば磷又はヒ素を 10^{13}cm^{-2} ~ 10^{16}cm^{-2} イオン注入することにより、n型のソース・ドレイン領域9を形成することによって、前記図1に示す構造が得られる。

【0023】このように構成された本実施形態では、以下の3つの特長がある。

(1) エッチングストップとしての絶縁膜2を全面形成後、全面エッチングして半導体領域以外のトレンチ部にのみ選択的にエッチングストップ2を形成する。よって、エッチングストップ膜2をパターンニングする必要が

6

なく、工程が簡単で合わせズレの問題もない。

(2) 酸素、水素、又は水蒸気などの酸化還元剤に対して阻止能力がある膜をエッチングストップ膜2に用いることにより、半導体基板1の側面及びトレンチ内部を覆うように膜2が形成されているため、ゲート絶縁膜形成以後の酸化還元剤による半導体基板1の形状変化を防ぐことができる。

(3) 半導体基板1が支持基板となっているため、絶縁体上に形成された半導体領域のように正孔蓄積によるしきい値シフトやしきい値悪化という基板フローティング効果が生じず、基板バイアス印加を行うことができる。

(実施形態2) 図4は、本発明の第2の実施形態に係わる半導体装置を示す素子構造断面図である。本実施形態では、2つのMISFETを形成しているが、これらは図の配置で形成する必要は必ずしもなく、単独に実施することができる。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0024】本実施形態は、第1の実施形態と基本的には同一であるが、エッチングストップ膜2の形状及び形成法が第1の実施形態と異なっている。本構造では、図4で示すように、エッチングストップ膜2を半導体基板1の側壁にのみ残るようにする。これは、全面にエッチングストップ膜2を形成後、表面からほぼ垂直に膜2を反応性イオンエッチングすることにより、トレンチ段差が大きい側壁部分にのみエッチングストップ膜2を残すことで実現できる。

【0025】この後、素子分離用絶縁膜3を堆積し、絶縁膜3の全面エッチング、ゲート絶縁膜12形成前処理エッチングを行い、ゲート絶縁膜12形成、ゲート電極形成以降の工程を行う。これら工程は、第1の実施形態と同様なので省略する。

【0026】本実施形態のように、側壁のみにエッチングストップ膜2を形成した構造では、第1の実施形態の(1)(3)の特長が維持される。さらに、図4の本構造では、エッチングストップ膜2が半導体基板1の側壁にのみ残るようにしているので、全面に膜2が形成された第1の実施形態の場合よりも応力を小さくできる。また、エッチングストップ膜2と半導体基板1又は、エッチングストップ膜2と絶縁膜3との温度変化による熱膨張係数の差による歪も小さくできる。

(実施形態3) 図5は、本発明の第3の実施形態に係わる半導体装置を示す素子構造断面図である。本実施形態では、2つのMISFETを形成しているが、これらは図の配置で形成する必要は必ずしもなく、単独に実施することができる。なお、図12と同一部分には同一符号を付して、その詳しい説明は省略する。

【0027】本実施形態は、第2の実施形態と基本的には同一であるが、エッチングストップ膜2の形状及び形成法が第2の実施形態と異なっている。本構造では、エッチングストップ膜2を例えば多結晶シリコンで形成

(5)

7

し、膜 2 をゲート形成時に酸化又は窒化し絶縁膜化することによって、絶縁膜 1 4 を形成する。絶縁膜 3 は、膜 2 及び絶縁膜 4 を介して半導体基板 1 に埋め込まれている。さらに、膜 2 の上部には絶縁膜 1 4 が形成されており素子分離用絶縁膜として機能している。

【0028】ここで、図 5 での半導体基板 1 の角は、絶縁膜 1 4 又は絶縁膜 4 によって保護され、ゲート電極 8 がゲート絶縁膜 1 2 を介して半導体基板 1 の側面に接して配置されることがないように形成されている。

【0029】本構造では、トレンチを形成した半導体基板 1 の表面を、例えば 10 nm 酸化し、絶縁膜 4 を形成した後、エッチングストップとなる絶縁膜 2、例えば多結晶シリコン膜を 10～200 nm 堆積する。さらに、表面からほぼ垂直に膜 2 を反応性イオンエッチングすることにより、トレンチ段差が大きい側壁部分にのみエッチングストップ膜 2 を残す。次いで、全面に絶縁膜 3 を堆積する。絶縁膜 3 としては、例えば、0.3～1 μm の厚さの PSG 膜を用いる。絶縁膜 3 としては、例えば、700℃～1000℃程度の N₂ アニールを追加して膜をメルトさせ膜厚を均一にしてもよい。

【0030】次いで、図 6 (a) のように、絶縁膜 3 を表面から全面エッチングし、絶縁膜 4 又は半導体基板 1 が表面に露出するようにする。このとき、絶縁膜 3 に比べ絶縁膜 4 又は半導体基板 1 のエッチングの速度が遅いようにし、ポリッシングによって全面平滑化すれば、半導体基板 1 に絶縁膜 3 を埋め込み形成するのは比較的容易にできる。勿論、全面エッチングには、反応性イオンエッチングを用いても良い。

【0031】次いで、ゲート絶縁膜 1 2 を形成する前の半導体基板 1 の洗浄処理をする。この時、図 6 (b) のように、絶縁膜 4 がエッチングされ、半導体基板 1 よりも下になってもよい。この際、膜 2 は洗浄処理によってエッチングされにくい膜を用い、表面が半導体基板 1 よりも下に形成されないようにする。

【0032】次いで、図 6 (c) のように、ゲート絶縁膜 1 2 の形成を行う。例えば、ゲート膜として、基板 1 の半導体表面の酸化又は窒化を用い、厚さは 5～50 nm の間とする。このとき、膜 2 の上部も酸化又は窒化され絶縁膜 1 4 となる。ここで、絶縁膜 2 と半導体基板 1 との距離を、ゲート絶縁膜厚さと膜 3 の絶縁膜化による増分の和以下に保つことにより、絶縁膜 4 に形成された膜減りを、ゲート絶縁膜 1 2 及び絶縁膜 1 4 で埋め戻すことができる。

【0033】この後、ゲート電極 8 形成以降の工程を行う。これら工程は、第 1 の実施形態と同様なので省略する。本実施形態では、以下の 3 つの特長がある。

(1) エッチングストップ膜 2 は、半導体領域以外のトレンチ部にのみ選択的に形成される。よって、エッチングストップ膜 2 をパターンニングする必要がなく、工程が簡単で原理的に合わせズレの問題もない。

8

(2) 半導体基板 1 が支持基板となっているため、絶縁体上に形成された半導体領域のような、絶縁体上に形成された半導体領域のように正孔蓄積によるしきい値シフトやしきい値悪化という基板フローティング効果が生じず、基板バイアス印加を行うことができる。

(3) 絶縁膜 1 4 は膜 2 の酸化又は窒化によって得ているため、膜 2 の酸化又は窒化による膜厚増加分とゲート絶縁膜 1 2 の和だけ、膜 2 と半導体基板 1 との間隔が離れても、膜 4 の膜減り分を埋めることができる。このため、膜 4 の厚さをより大きく確保することができる。そこで、膜 4 よりも絶縁耐圧の劣る膜 3 を用いても、膜 4 を厚くすることによって耐圧を維持できる。さらに、膜 3 又は膜 2 が帯電しても、膜 4 を厚くすることによって、半導体基板 1 に与える影響を小さくできる。

(4) 膜 2 が半導体基板 1 の側面だけに形成されているため、第 2 の実施形態の膜応力や熱膨張係数の差による歪も第 1 の実施形態の場合と比較して低減できる。

(実施形態 4) 図 7 は、本発明の第 4 の実施形態に係わる半導体装置を示す素子構造断面図である。本実施形態では、2 つの MISFET を形成しているが、これらは、図の配置で形成する必要は必ずしもなく、単独に実施することができる。なお、図 1 と同一部分には同一符号を付して、その詳しい説明は省略する。

【0034】本実施形態は、第 1 の実施形態とは異なり、半導体領域 1 が支持基板と分離されている。トランジスタ領域は、p 型半導体領域 1 上に作成され、基板 1 の上部には、ゲート絶縁膜 1 2 を介してゲート電極 8 が形成されている。ゲート電極 8 の両側には、第 1 の実施形態と同様に n 型領域 9 が形成され、平面型 MOS トランジスタのソース及びドレインとなっている (図 1 (a) を参照)。

【0035】半導体領域 1 は、絶縁膜 4 及び絶縁膜 2 を介して絶縁膜 3 に埋め込まれており、絶縁膜 3 は素子分離用絶縁膜として機能している。また、半導体領域 1 は絶縁膜 3 を介して支持基板 1 1 上に形成されている。ここで、図 7 での半導体領域 1 の角は、絶縁膜 4 及び絶縁膜 2 によって保護され、ゲート電極 8 がゲート絶縁膜 1 2 を介して半導体領域 1 の側面に接して配置されることがないように形成されている。

【0036】本構造では、トレンチを形成した半導体基板 1 の表面を、例えば 5 nm 酸化して絶縁膜 4 を形成した後、エッチングストップとなる絶縁膜 2、例えばシリコン窒化膜を 10～200 nm 堆積するまでは第 1 の実施形態と同じである。

【0037】次いで、全面に絶縁膜 3 を堆積した後、図 8 (a) に示すように、支持基板 1 1 に絶縁膜 3 側が対向するよう張り付ける。絶縁膜 3 としては、例えば 0.1～2 μm の厚さの PSG 膜を用いる。絶縁膜 3 を堆積後に絶縁膜をリフローさせ平滑化するために、例えば N₂ 雰囲気中アニールや水蒸気雰囲気中アニールを追加し

(6)

9

てもよい。さらに、張り付け後、張り付け強度を増すために、例えば N_2 雰囲気中のアニールや水蒸気雰囲気中アニールを追加してもよい。

【0038】次いで、図8(b)に示すように、半導体領域1を表面から全面エッチングし、絶縁膜4又は2が表面に露出するようにする。このとき、半導体領域1に比べ絶縁膜4又は2のエッチングの速度が遅いようにし、ポリッシングによって全面平滑化すれば、半導体領域1を絶縁膜3に埋め込み形成するのは比較的容易にできる。勿論、全面エッチングには、ポリッシングではなくイオンエッチングを用いても良い。

【0039】次いで、ゲート絶縁膜12を形成する前の半導体領域1の洗浄処理をする。このとき、図8(b)のように、絶縁膜4がエッチングされ、半導体領域1よりも下になってもよい。この際、絶縁膜2は洗浄処理によってエッチングされにくい膜を用い、絶縁膜2の上面が半導体領域1よりも下に形成されないようにする。

【0040】さらに、図8(c)に示すように、ゲート絶縁膜12の形成を行う。例えばゲート膜として、基板1のSiの表面の酸化を用い、厚さは5~50nmとする。このとき、第2の絶縁膜2と半導体領域1との距離をゲート絶縁膜厚さ以下に保つことにより、絶縁膜4に形成されたエッチングによる膜減りをゲート絶縁膜で埋め戻すことができる。

【0041】引き続き、例えばポリシリコンからなるゲート電極8を全面堆積し、このゲート電極に、例えば $POCl_3$ 拡散をして低抵抗化する。引き続き、ゲート加工をリソグラフィとエッチングを行う。この後、ゲート側壁を、例えば酸素雰囲気中で5~50nm酸化してもよい。

【0042】さらに、例えば磷又はヒ素を $10^{13}cm^{-2}$ ~ $10^{16}cm^{-2}$ イオン注入することにより、n型のソース・ドレイン領域9を形成することによって、前記図7に示す構造が得られる。

【0043】本実施形態の変形例としては、図9(a)に示すように、トレンチを直角に形成せず、テーパ状に形成してもよい。勿論、図9(a)と逆のテーパを形成してもよい。さらに、別の変形例としては、図9(b)に示すように、絶縁膜4を形成せず、半導体領域1に直接絶縁膜2を形成してもよい。

【0044】また、図9(c)に示すように、半導体領域1が絶縁膜2よりも低くなっても、半導体領域1の角がゲート電極8で囲まれない形状となり、エッジ寄生トランジスタの影響を防ぐことができる。この形状は、図8(a)のように、半導体領域1を表面から全面エッチングし絶縁膜4又は2が表面に露出するようにした後、さらに、半導体領域1のエッチングを進めることによって形成される。

【0045】本実施形態では、以下の3つの特長がある。

10

(1) エッチングストップ膜2を全面形成後、表裏反転してトランジスタを形成しているため、半導体領域1以外のトレンチ部にのみ選択的にエッチングストップ膜2が形成される。よって、エッチングストップ膜2をパターニングする必要がなく、工程が簡単で原理的に合わせズレの問題もない。

(2) 素子分離用絶縁膜3に被覆性が良い堆積膜を用いることにより、素子分離用絶縁膜3が膜2に沿って均一性良く形成され、上面から素子分離用絶縁膜が埋め込み形成された場合に問題となる“す”が素子分離用絶縁膜3と絶縁膜2との界面近傍に生じない。よって、ゲート絶縁膜形成以後のエッチングや熱工程でも良好な形状を保つことができる。

(3) 酸素、水素、又は水蒸気などの酸化還元剤に対して阻止能力がある膜をエッチングストップ膜2として用いることにより、半導体領域1の側面全体と絶縁膜3の上面を覆うように膜2が形成されているため、ゲート絶縁膜形成以後の酸化還元剤による半導体領域1及び素子分離用絶縁膜3の形状変化を防ぐことができる。

(実施形態5) 図10は、本発明の第5の実施形態に係わる半導体装置を示す素子構造の断面図である。実施形態では、2つのMISFETを形成しているが、これらは、図の配置で形成する必要は必ずしもなく、単独に実施することができる。なお、図1と同一部分には、同一符号をつけて詳しい説明は省略する。

【0046】本実施形態は、第4の実施形態と基本的には同一であるが、エッチングストップ膜2の形状及び形成法が第4の実施形態と異なっている。本構造では、まず図11(a)に示すように、エッチングストップ膜2を半導体領域1の側壁にのみ残るようにする。これは、全面にエッチングストップ膜2を形成後、表面からほぼ垂直に膜2を反応性イオンエッチングすることにより、トレンチ段差が大きい側壁部分にのみエッチングストップ膜2を残すことができる。さらに、絶縁膜3を堆積した後、図11(b)に示すように、支持基板に絶縁膜3側が対向するよう張り付けする。さらに、半導体領域1の全面エッチング、ゲート絶縁膜12形成前処理エッチングを行い、ゲート絶縁膜12形成を行う。これら工程は、第4の実施形態と同様なので省略する。

【0047】本実施形態では、エッチングストップ膜2が半導体領域1の側壁にのみ残るようにしているので、全面に膜2が形成された第4の実施形態の場合よりも応力を小さくできる。また、エッチングストップ膜2と半導体領域1又は、エッチングストップ膜2と絶縁膜3との温度変化による熱膨張係数の差による歪も小さくできる。勿論、第4の実施形態の(1)及び(2)の特長は維持される。

【0048】また、本実施形態の変形例としては、図12の断面図に示すように、側壁のみにエッチングストップ膜2を残すのではなく、半導体領域1に挟まれた素子

50

(7)

11

分離領域に部分的に残す方法が挙げられる。図12の構造は、膜2を全面堆積後、絶縁膜3'を全面堆積し、絶縁膜3'及び膜2を例えばエッチング又はポリッシングによって、絶縁膜3'及び膜2が半導体領域1上に残らないよう加工することで得られる。この後、絶縁膜3を堆積後は、第4の実施形態の工程と同じなので省略する。

【0049】この図12の構造でも、第4の実施形態の(1)-(2)(3)の特長が保たれる。また、半導体領域1の下には膜2が形成されていないため、本実施形態の膜応力や熱膨張係数の差による歪も第4の実施形態の場合と比較して低減できる。

(実施形態6) 図13は、本発明の第6の実施形態に係わる半導体装置を示す素子構造断面図である。本実施形態では、2つのMISFETを形成しているが、これらは図の配置で形成する必要は必ずしもなく、単独に実施することができる。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0050】本実施形態は、第3の実施形態と基本的には同一であるが、半導体領域1が絶縁膜3及び絶縁膜3'内に埋め込み形成されていることと形成法が第3の実施形態と異なっている。本構造でも、図13のように、半導体領域1の角は絶縁膜14又は絶縁膜4によって保護され、ゲート電極8がゲート絶縁膜12を介して半導体1の側面に接して配置されることがないように形成されている。

【0051】本構造では、トレンチを形成した半導体領域1表面を、例えば5nm酸化して絶縁膜4を形成した後、エッチングストップとなる絶縁膜2、例えば多結晶シリコン膜を0.1 μ m堆積する。次いで、全面に絶縁膜3'を堆積する。絶縁膜3'としては、例えば0.3~1 μ mの厚さのPSG膜を用いる。絶縁膜3としては、例えば700℃~1000℃程度のアニールを追加して膜をメルトさせ膜厚を均一にしてもよい。さらに、膜2及び3'をエッチングによって半導体領域1上に形成された膜2が素子分離領域毎に分離され、半導体領域1が露出するまでエッチングする。このとき、半導体領域1に比べ膜3'又は2のエッチングの速度が速いようにすれば、半導体領域1を絶縁膜3に埋め込み形成するのは比較的容易にできる。この際、膜4もエッチングしてもよい。

【0052】さらに、絶縁膜3を堆積した後、支持基板11に絶縁膜3側が対向するよう張り付ける。絶縁膜3としては、例えば0.3~1 μ mの厚さのPSG膜を用いる。張り付け後、張り付け強度を増すために、例えばN₂雰囲気中アニールを追加してもよい。

【0053】次いで、半導体領域1を表面から全面エッチングし、絶縁膜4又は2が表面に露出するようにする。このとき、半導体領域1に比べ絶縁膜4又は2のエッチングの速度が遅いようにし、ポリッシングによって

12

全面平滑化すれば、図13のように半導体領域1を絶縁膜3に埋め込み形成するのは比較的容易にできる。勿論、全面エッチングには、反応性イオンエッチングを用いても良い。

【0054】次いで、ゲート絶縁膜12を形成する前の半導体領域1の洗浄処理をする。このとき、図14

(a)のように、絶縁膜4がエッチングされ、半導体領域1よりも下になってもよい。この際、膜2は洗浄処理でエッチングされにくい膜を用い、表面が半導体領域1よりも下に形成されないようにする。

【0055】さらに、図14(b)のように、ゲート絶縁膜12の形成を行う。例えば、ゲート膜として、基板1の半導体表面の酸化又は窒化を用い、厚さは5~50nmとする。このとき、上部から膜2が酸化又は窒化され絶縁膜14となるようにする。ここで、絶縁膜2と半導体領域1との距離を、ゲート絶縁膜厚さと膜3の絶縁膜化による増分の和以下に保つことにより、絶縁膜4に形成された膜減りをゲート絶縁膜12及び絶縁膜14で埋め戻すことができる。

【0056】この後、ゲート電極8の形成以降の工程を行う。これら工程は、第1の実施形態と同様なので省略する。本実施形態では、第3の実施形態の(1)(3)の特長の他に以下の特長がある。即ち、素子分離用絶縁膜3'に被覆性が良い堆積膜を用いることにより、図13のように、素子分離用絶縁膜3が膜2に沿って均一性良く形成され、上面から埋め込み形成された場合に問題となる鬆が素子分離用絶縁膜3と絶縁膜2との界面近傍に生じない。よって、ゲート絶縁膜形成以後のエッチングや熱工程でも良好な形状を保つことができる。

【0057】また、図14(c)のzで示す、膜2のエッチングの残り厚さを、絶縁膜14へ変換可能、つまり酸化若しくは酸化可能な深さよりも等しいか、小さくする図14(c)のような実施形態も挙げられる。この場合、図14(d)のようにゲート絶縁膜12を形成する場合に、全て膜2が絶縁膜14となり残らないため、絶縁膜14に電気伝導度が膜2よりも小さい膜を用いれば、より素子分離特性を向上させることができる。

(実施形態7) 図15は、本発明の第7の実施形態に係わる半導体装置を示す素子構造断面図である。本実施形態では、2つのMISFETを形成しているが、これらは図の配置で形成する必要は必ずしもなく、単独に実施することができる。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0058】本実施形態は、第3の実施形態と基本的には同一であるが、半導体領域1が絶縁膜3及び絶縁膜3'内に埋め込み形成されていることと形成法が第3の実施形態と異なっている。

【0059】本実施形態では、図15のように、膜2を半導体領域1の側面のみに形成し、素子分離用絶縁膜3の上面に絶縁膜14を形成しない。これは、膜2を堆積

(8)

13

後、表面からほぼ垂直に膜2を反応性イオンエッチングすることにより、トレンチ段差が大きい側壁部分にのみエッチングストップ膜2を残す。この後、全面に絶縁膜3を堆積する。絶縁膜3としては、例えば0.3~1 μ mの厚さのPSG膜を用いる。この後、例えば700℃~1000℃程度のアニールを追加して膜をメルトさせ膜厚を均一にしてもよい。この後、支持基板11に絶縁膜3側が対向するよう張り付け、その後の工程は第6の実施形態で説明した工程と同じなので省略する。

【0060】本実施形態では、第3の実施形態の(1)(3)の特長の他に以下の特長がある。

(1) 本実施形態では、エッチングストップ膜2が半導体領域1の側壁にのみ残るようにしているので、全面に膜2が形成された第3の実施形態及び第4の実施形態の場合よりも応力を小さくできる。また、エッチングストップ膜2と半導体領域1又は、エッチングストップ膜2と絶縁膜3との温度変化による熱膨張係数の差による歪も小さくできる。

(2) 素子分離用絶縁膜3に被覆性が良い堆積膜を用いることにより、上面から埋め込み形成された場合に問題となる“す”が素子分離用絶縁膜3とゲート電極8との界面近傍に生じない。よって、ゲート絶縁膜形成以後のエッチングや熱工程でも良好な形状を保つことができる。

【0061】なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、半導体領域1に素子分離用のトレンチをエッチングによって形成したが、LOCOS法で選択的に素子分離領域を酸化し、LOCOSマスク材を剥離後、例えばフッ化アンモニウムなどのエッチング液によってLOCOS酸化膜を選択的に取り去り、トレンチを形成しても良い。勿論、トレンチ形成半導体エッチングとLOCOS法を組み合わせても良い。

【0062】実施形態では、絶縁膜4の作成法として、熱酸化による酸化膜形成法を示し、素子分離用絶縁膜3、3'の形成法としてPSGを堆積する方法を示したが、例えば、30keV程度の低加速エネルギーで酸素又は窒素を注入し酸化膜を形成してもよいし、絶縁膜を堆積する方法で形成してもよいし、これらを組み合わせてもよい。また、絶縁膜4の厚さとして5nmを例として示したが、ゲート絶縁膜12の膜厚以下であればよく、例えば5~50nmの厚さとする。

【0063】また、素子分離用絶縁膜や絶縁膜形成法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンや窒素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いてもかまわない。シリコン酸化膜としては、PSG、BPSGなどのシリケイドガラス、又はいわゆるTEOSなどの堆積酸化膜を用いることもできる。また、勿論、この絶縁膜にシリコン窒化膜、又は例えばチタン酸バリウム、チタン酸鉛、ストロ

14

ンチウムビスマスタタルオキサイドなどの強誘電体膜や、チタン酸バリウムやタンタル酸化膜などの常誘電体膜、GaAs基板に対するAlGaAs混晶の単層膜又はそれらの複合膜を用いることもできる。

【0064】また、ゲート絶縁膜12としては、半導体基板1を酸化又は窒化することにより酸化膜又は窒化膜を形成する方法を示したが、堆積膜を用いてもよいし、これらを組み合わせた複合膜でもよい。ここで、堆積膜を用いた場合には、図16(a)のようにゲート絶縁膜形成前のエッチングでできた膜4の膜ペリが、堆積膜で埋め戻される。この際、表面被覆性が良い堆積膜では、その膜厚の2倍以内の幅のトレンチを完全に埋め込むことができる。このため、図16(b)で、半導体領域1と膜2と間隔 y をゲート堆積膜12厚さ x の2倍以下に保てば、半導体領域1の角が露出せず本発明の構造が形成される。

【0065】実施形態では、半導体領域1としてp型単結晶シリコン基板を想定したが、多結晶シリコン、ポーラスシリコン、アモルファスシリコン、SiGe混晶、SiC混晶、GaAs、InPを用いても良い。勿論n型半導体を用いてもよく、n型MISFETの替わりにp型MISFETを形成してもよい。

【0066】ソース・ドレイン領域9としては、燐やヒ素によるn型領域形成を示したが、ドーパントとしてアンチモンを用いても良いし、イオン注入ではなく、例えばBPSG、PSGなどを用いた固相拡散や気相拡散によって形成してもよい。また、ボロンによってp型領域をn型基板に形成してもよい。さらに、半導体領域1としてGaAsを用いる場合には、ソースドレインのドーパントとして、n型領域形成にはGe、Si、Sn、p型領域形成にはZn、Beを固相拡散やイオン打ち込みによって形成してもよい。

【0067】支持基板11としては、シリコン基板、GaAs基板、InP基板、シリコン酸化膜基板、酸化アルミ基板、ダイヤモンド基板、SiC基板、又はこれら複合膜で形成された基板を用いても良い。

【0068】また、実施形態1、2、4、5のエッチングストップ膜2としては、堆積シリコン窒化膜を例として示したが、例えばシリコンを堆積し、熱窒化若しくは窒素イオン注入によってシリコン窒化膜に変換してもよい。また、シリコン窒化膜ではなく、例えばチタン酸バリウム、チタン酸鉛、ストロンチウムビスマスタタルオキサイドなどの強誘電体膜や、チタン酸バリウムやタンタル酸化膜などの常誘電体膜の単層膜又はそれらの複合膜を用いることもできる。

【0069】実施形態3、6、7のエッチングストップ膜2としては、多結晶シリコン膜を例として示したが、単結晶シリコン、ポーラスシリコン、アモルファスシリコン、SiGe混晶、SiC混晶、W、Ta、Ti、又はAlのように酸化や窒化によって絶縁体化する膜を用

(9)

15

いてもよいし、これらの複合膜を用いてもよい。

【0070】ゲート電極8の材料としては、 POCl_3 を拡散した多結晶シリコンを示したが、ヒ素をイオン注入したシリコン膜を用いても良いし、燐やヒ素をPSG、AsSGにより固相拡散してもよいし、膜形成時に同時に燐又はヒ素又はボロンをドーピングした、いわゆるドーピングシリコン膜を用いても良い。また、多結晶シリコン以外に、例えば単結晶シリコン、ポーラスシリコン、アモルファスシリコン、W、Ta、Ti、Hf、Co、Pt、Pd、Al、Cu等の金属或いはそのシリサイドを用いることもできる。また、これらの積層構造にしてもよい。

【0071】さらにまた、絶縁基板上に半導体膜を形成した基板(SOI基板等;実施形態4~7に相当)において、メサ型素子分離に対して本発明を適用することも可能である。即ち、素子を形成する半導体膜を島状に絶縁基板上にエッチング等により残置し、前記半導体膜の側壁にSiN膜等の絶縁膜を形成し、この絶縁膜と島状の半導体層との間の距離を前記半導体膜に形成するMISFETのゲート絶縁膜の厚さ以下とすることができ、これにより前記実施形態と同様の効果を得ることが可能である。その他、本発明の要旨を逸脱しない範囲で、様々な変形して実施することができる。

【0072】

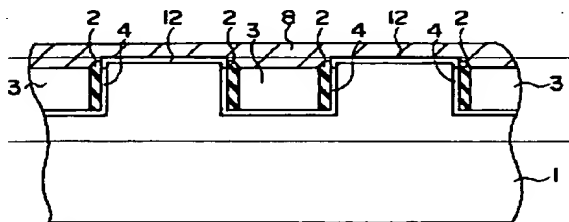
【発明の効果】以上詳述したように本発明によれば、トレンチ分離において半導体領域の近傍の素子分離用絶縁膜を、ゲート絶縁膜形成前処理によってエッチングされにくい別の絶縁膜に代替することにより、ゲート絶縁膜形成前処理に伴う半導体領域の角部分の露出を未然に防止することができ、寄生エッジトランジスタの影響を低減し、再現性の向上をはかり得る半導体装置及びその製造方法を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置の素子構造を示す平面図と断面図。

【図2】第1の実施形態の半導体装置の製造工程の前半を示す断面図。

【図4】



16

【図3】第1の実施形態の半導体装置の製造工程の後半を示す断面図。

【図4】第2の実施形態に係わる半導体装置を示す素子構造断面図。

【図5】第3の実施形態に係わる半導体装置を示す素子構造断面図。

【図6】第3の実施形態の半導体装置の製造工程を示す断面図。

【図7】第4の実施形態に係わる半導体装置を示す素子構造断面図。

【図8】第4の実施形態の半導体装置の製造工程を示す断面図。

【図9】第4の実施形態の変形例を示す断面図。

【図10】第5の実施形態に係わる半導体装置を示す素子構造断面図。

【図11】第5の実施形態の半導体装置の製造工程を示す断面図。

【図12】第5の実施形態の変形例を示す断面図。

【図13】第6の実施形態に係わる半導体装置を示す素子構造断面図。

【図14】第6の実施形態の半導体装置の製造工程を示す断面図。

【図15】第7の実施形態に係わる半導体装置を示す素子構造断面図。

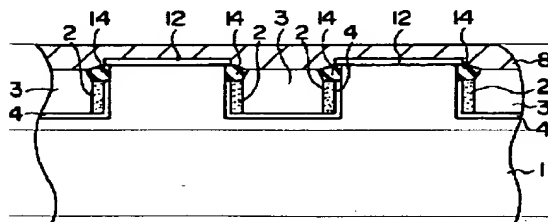
【図16】本発明の変形例を示す断面図。

【図17】従来の半導体装置の素子構造を示す平面図と断面図。

【符号の説明】

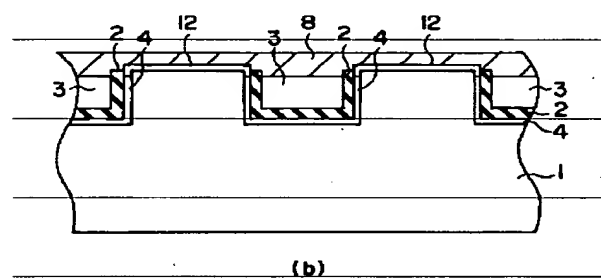
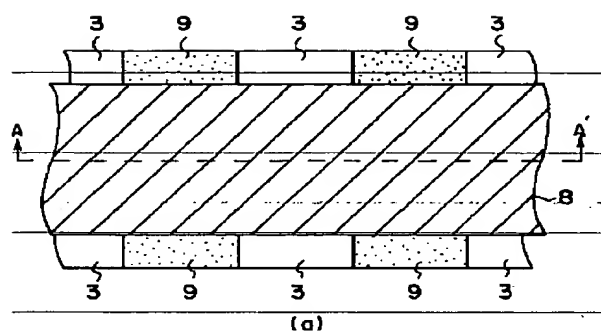
- 1…半導体基板・半導体領域
- 2…エッチングストップ膜(第1の絶縁膜)
- 3, 3'…埋め込み素子分離用絶縁膜(第2の絶縁膜)
- 4…バッファ絶縁膜(第3の絶縁膜)
- 8…ゲート電極
- 9…ソース・ドレイン領域
- 11…支持基板
- 12…ゲート絶縁膜
- 14…エッジトランジスタ形成阻止絶縁膜

【図5】

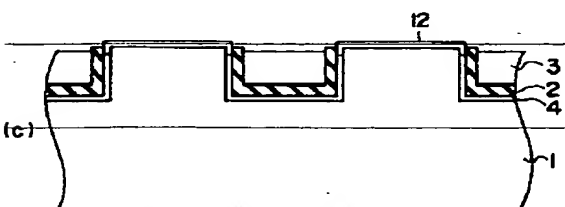
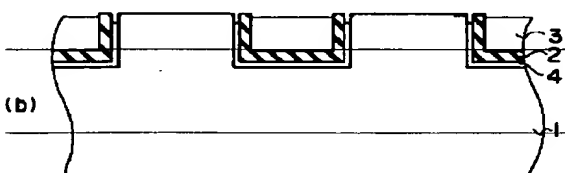
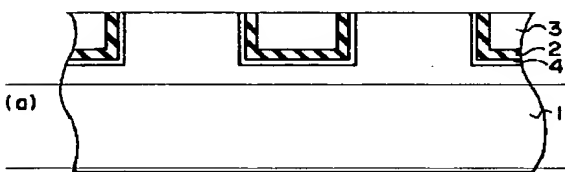


(10)

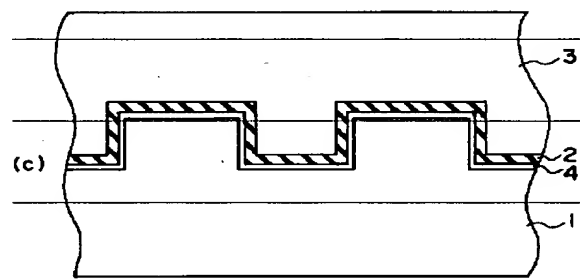
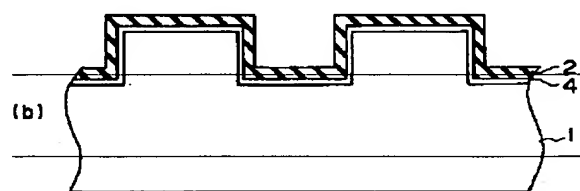
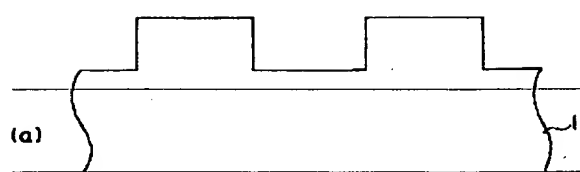
【図1】



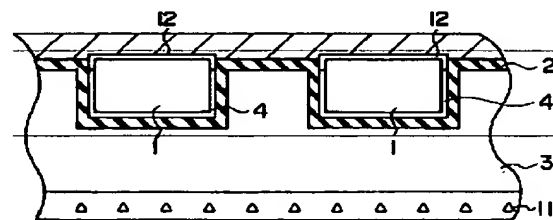
【図3】



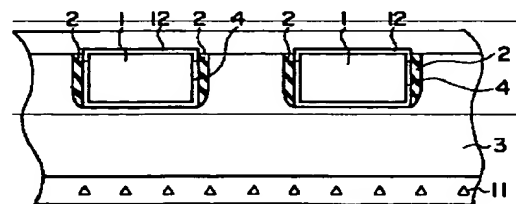
【図2】



【図7】

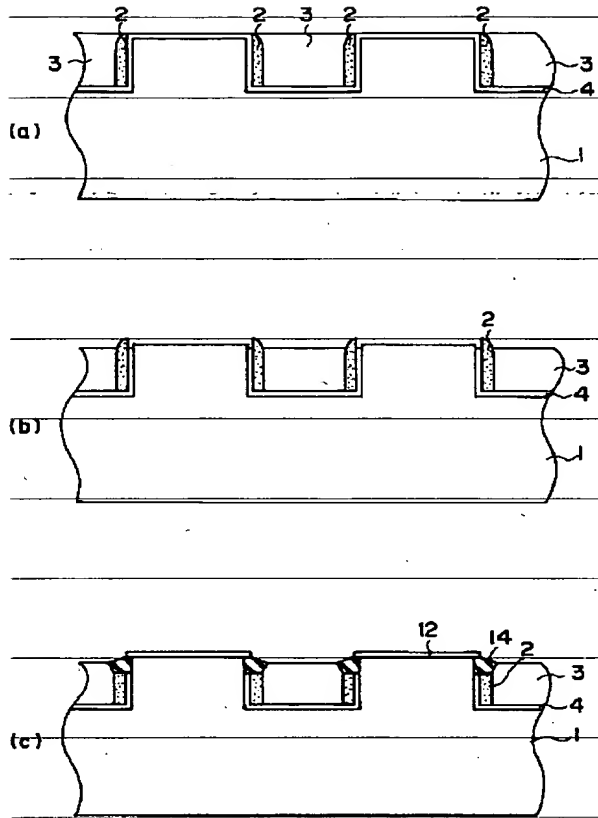


【図10】

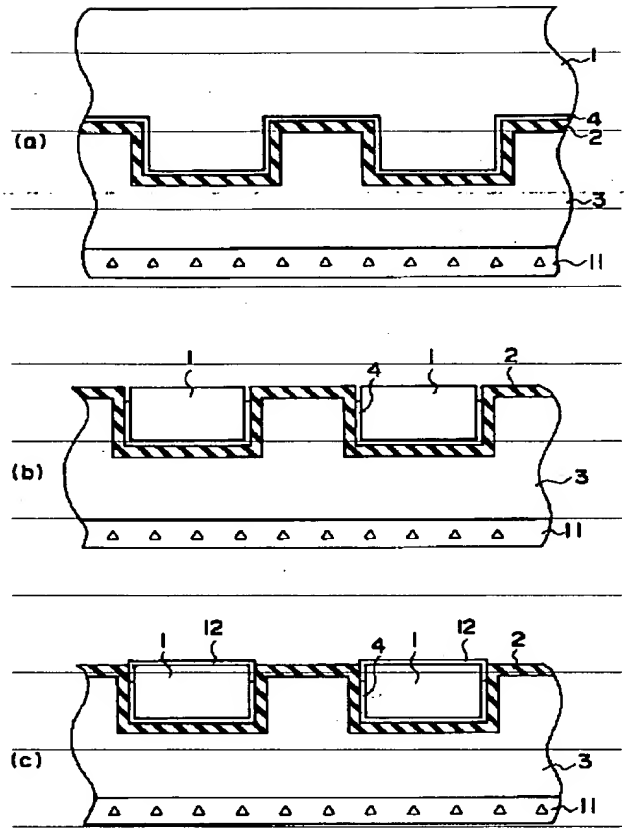


(11)

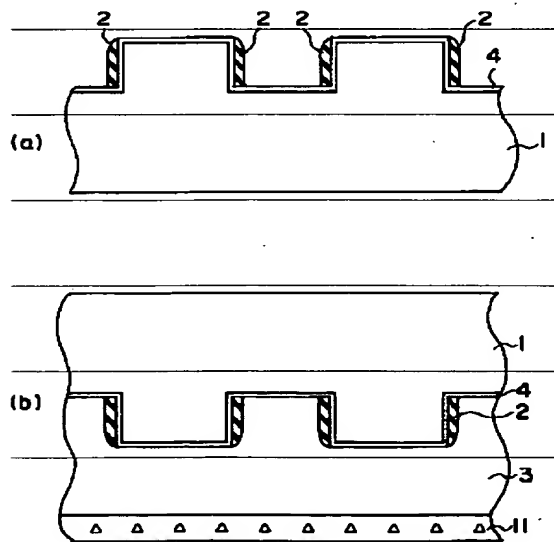
【図6】



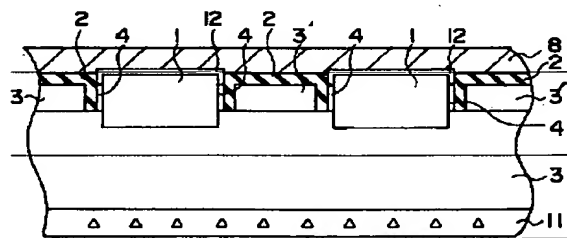
【図8】



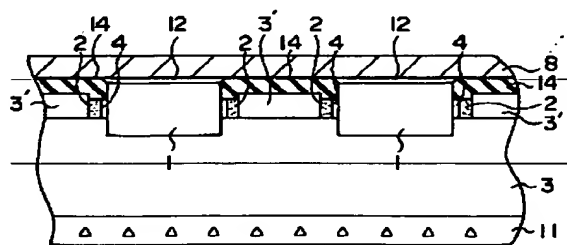
【図11】



【図12】

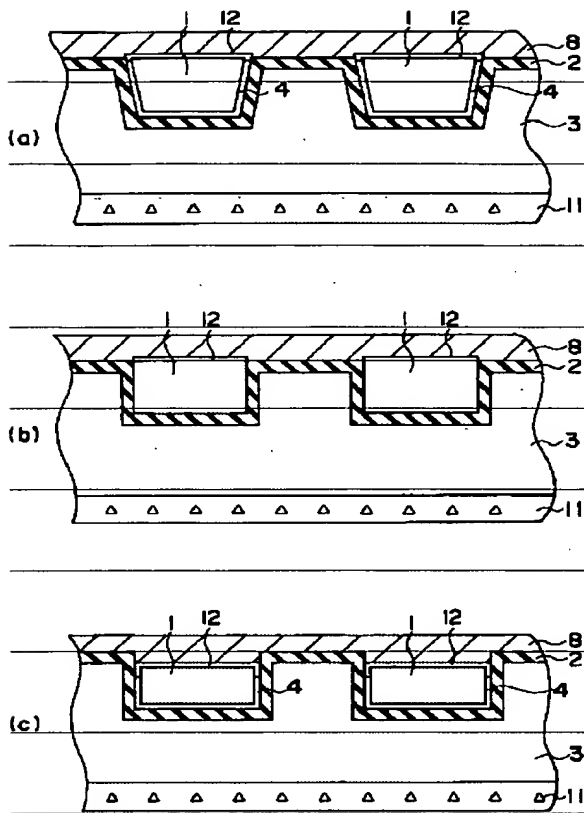


【図13】

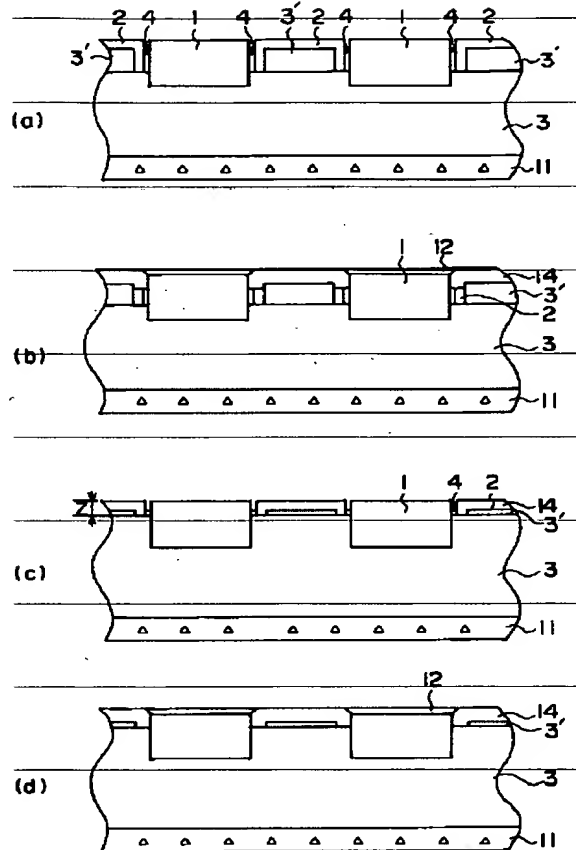


(12)

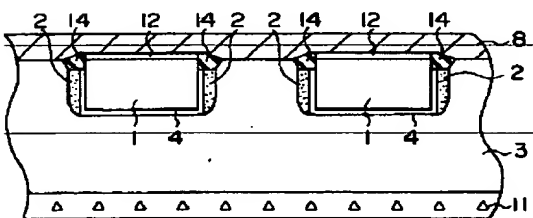
【図9】



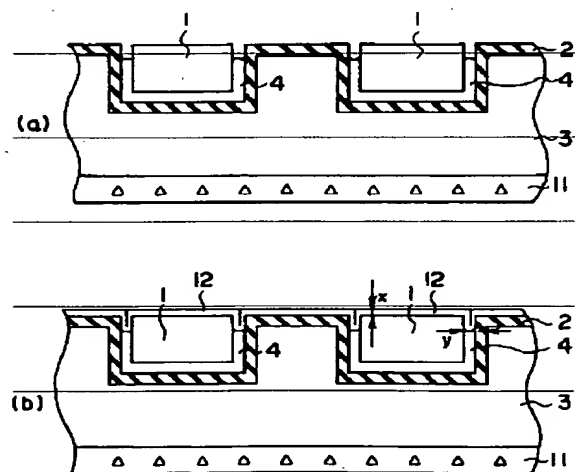
【図14】



【図15】

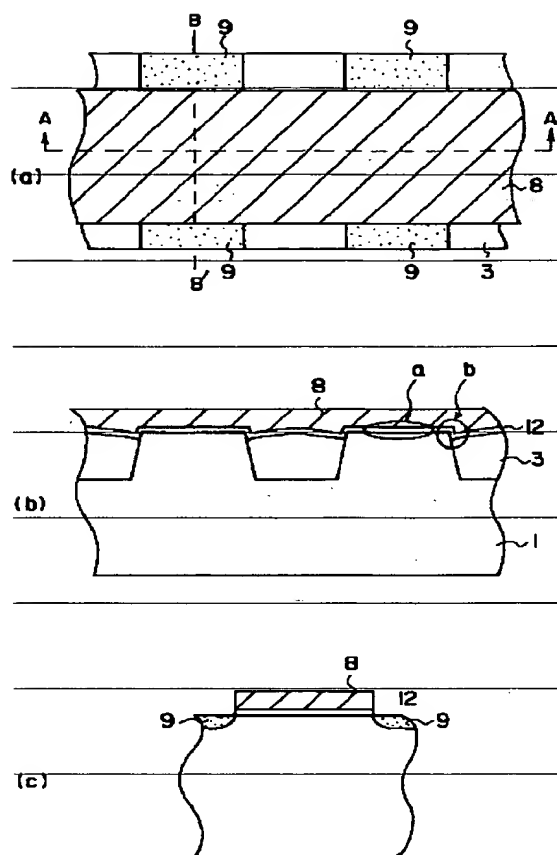


【図16】



(13)

【図17】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年7月27日(2001. 7. 27)

【公開番号】特開平9-82956

【公開日】平成9年3月28日(1997. 3. 28)

【年通号数】公開特許公報9-830

【出願番号】特願平7-237341

【国際特許分類第7版】

H01L 29/78

21/76

【FI】

H01L 29/78 301 R

21/76 L

【手続補正書】

【提出日】平成12年8月14日(2000. 8. 14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 主面を有する半導体基板と、
前記主面に形成された2つのトレンチの間に規定された半導体領域と、
前記トレンチの側壁に隣接しこれに沿って形成された第1の絶縁膜と、
前記半導体領域の上面と前記トレンチの側壁上部領域に形成され、この側壁上部領域で前記第1の絶縁膜と接するゲート絶縁膜と、
前記第1の絶縁膜と前記トレンチの側壁の間に形成され、その上端部が前記ゲート絶縁膜に突き当て接続される第3の絶縁膜と、を具備し、前記第1の絶縁膜の上端部は、前記ゲート絶縁膜のトレンチ側壁上部領域に形成された部分に沿いかつ接触し、前記ゲート絶縁膜が前記第1の絶縁膜とトレンチ側壁の間に挟まれるように形成されていることを特徴とする半導体装置。

【請求項2】 前記第1の絶縁膜を介して前記トレンチに埋め込まれた第2の絶縁膜をさらに具備し、前記第2の絶縁膜の上面は前記半導体基板の主面よりも低く設定されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 主面を有する半導体基板と、
前記主面に形成された2つのトレンチの間に規定された半導体領域と、
前記トレンチの側壁に隣接しこれに沿って形成された第1の絶縁膜と、
前記半導体領域の上面と前記トレンチの側壁上部領域に

形成され、この側壁上部領域で前記第1の絶縁膜と接するゲート絶縁膜と、

前記第1の絶縁膜を介して前記トレンチに埋め込まれた第2の絶縁膜と、前記第1の絶縁膜と前記トレンチの側壁の間に形成され、その上端部が前記ゲート絶縁膜に突き当て接続される第3の絶縁膜と、を具備し、前記第1の絶縁膜は、前記トレンチ側壁に沿って少なくとも前記半導体基板の主面と同じ高さまで延在し、前記ゲート絶縁膜を第1の絶縁膜とトレンチ側壁の間に挟み、前記第1の絶縁膜と前記側壁間の距離は半導体基板主面に形成されたゲート絶縁膜の部分の厚さ以下であることを特徴とする半導体装置。

【請求項4】 前記第3の絶縁膜の厚さは前記ゲート絶縁膜が前記半導体基板の主面に形成された部分の厚さより小さいことを特徴とする請求項3に記載の半導体装置。

【請求項5】 主面にトレンチを有する絶縁ベース層と、
少なくとも前記トレンチの側壁上部領域に隣接しかつこれに沿って形成された第1の絶縁膜と、
前記トレンチ側壁上部領域との間に前記第1の絶縁膜を介し、かつ前記トレンチに埋め込まれた半導体領域と、
少なくとも前記半導体基板の上面に形成され、前記第1の絶縁膜に接続するゲート絶縁膜と、を具備し、前記第1の絶縁膜は前記側壁上部領域に沿って、少なくとも半導体領域の主面と同じ高さまで延在することを特徴とする半導体装置。

【請求項6】 前記第1の絶縁膜と前記半導体領域の側壁上部領域以外の側壁との間に形成された第2の絶縁膜をさらに具備し、
前記ゲート絶縁膜は前記第2の絶縁膜と一体的に前記側壁上部領域にも形成され、前記第1の絶縁膜の上端部と側壁上部領域との間に挟まれ、前記第2の絶縁膜と突き当て接続され、前記第2の絶縁膜の厚さは、半導体領域

(2)

3

の上面における前記ゲート絶縁膜の厚さより小さいことを特徴とする請求項5の半導体装置。

【請求項7】 前記第1の絶縁膜がシリコン窒化膜を含むことを特徴とする請求項1、3、5のいずれかに記載の半導体装置。

【請求項8】 前記第1および第2の絶縁膜、ゲート絶縁膜の上部を横切るように形成された導電膜をさらに具備することを特徴とする請求項1、3、5のいずれかに記載の半導体装置。

4

【請求項9】 前記半導体基板がシリコンよりなり、前記第3の絶縁膜が半導体基板に接触するシリコン酸化膜を含むことを特徴とする請求項1及び3のいずれかに記載の半導体装置。

【請求項10】 前記第1の絶縁膜の上端が半導体基板の主面よりも高いことを特徴とする請求項1、3、5のいずれかに記載の半導体装置。

【請求項11】 前記第2の絶縁膜がシリコン酸化膜であることを特徴とする請求項2記載の半導体装置。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-082956

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H01L 29/78

H01L 21/76

(21)Application number : 07-237341

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1995

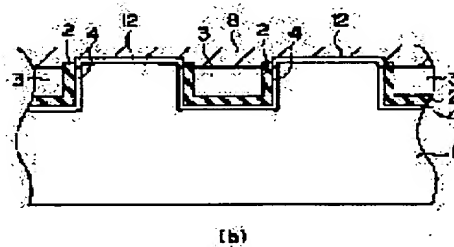
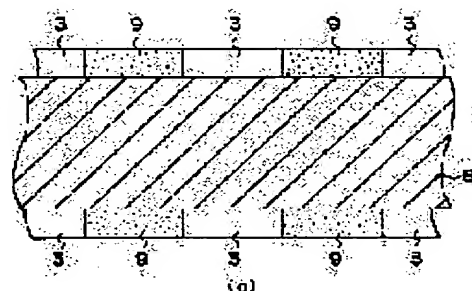
(72)Inventor : NOGUCHI MITSUHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the etching and lowering of an element isolation insulating film more than a semiconductor region for the pretreatment of a gate insulating film, and to reduce the effect of a parasitic transistor, in which the thresholds of the corner sections of a semiconductor region are diminished, in a MISFET using trench isolation.

SOLUTION: In a semiconductor device, in which trenches are formed into the element isolation region of a semiconductor substrate and MISFETs are formed into element regions isolated by the trenches, etching-stopper insulating films 2 shaped onto the side faces and bottom sections of the trenches through buffer insulating films 4 and insulating films 3 for element isolation buried and formed into the trenches are provided, the insulating films 2 are formed up to places higher than the top face of the semiconductor substrate 1, and the thickness of the insulating films 4 is set in the thickness or less of the gate insulating films of the MISFETs.



LEGAL STATUS

[Date of request for examination] 14.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3305929

[Date of registration] 10.05.2002

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor device which prepared MISFET in the component field which formed the trench in the component isolation region of a semi-conductor substrate, and was separated with this trench The 1st insulator layer of said trench formed in the side face at least and the 2nd insulator layer embedded and formed in said trench are provided. It is the semiconductor device which is formed to the location higher than the top face of said semi-conductor substrate where the 1st insulator layer is equal to the top face of said semi-conductor substrate, and is characterized by coming to set up the distance of the 1st insulator layer and said semi-conductor substrate below in the thickness of the gate dielectric film of said MISFET.

[Claim 2] It is the semiconductor device according to claim 1 characterized by for the 1st insulator layer consisting of a silicon nitride which functions as an etching stopper, and the 2nd insulator layer consisting of silicon oxide for isolation.

[Claim 3] The semiconductor device according to claim 1 characterized by the 3rd insulator layer being formed between the 1st insulator layer and a trench side face, and coming to set up the thickness of this 3rd insulator layer below in the thickness of the gate dielectric film of said MISFET.

[Claim 4] It is the semiconductor device which an insulator layer is formed in a side face at least in the semiconductor device which prepared MISFET in the semi-conductor layer selectively formed on the support substrate to the top face of this layer and the equal or location higher than the top face of this layer of said semi-conductor layer, and is characterized by coming to set up the distance of the insulator layer of a parenthesis, and said semi-conductor layer below in the thickness of the gate dielectric film of said MISFET.

[Claim 5] In the manufacture approach of a semiconductor device of having prepared MISFET in the component field which has a trench in the component isolation region of a semi-conductor substrate, and was separated with this trench The front face of the process which forms a trench in the component isolation region of a semi-conductor substrate, and the substrate with which said trench was formed is met. The process which forms the insulator layer for etching prevention through a buffer insulator layer with thickness thinner than the gate dielectric film of said MISFET, While etchback of each insulator layer is carried out to the process which deposits the insulator layer for isolation on the whole surface until said substrate front face is exposed, and embedding said insulator layer for isolation in said trench The process of said trench which leaves said insulator layer for etching prevention at least to a side face to the same or location higher than a substrate top face as a substrate top face, The manufacture approach of the semiconductor device characterized by including the process which forms a buffer insulator layer again between said insulator layers for etching prevention and substrates, and the process which forms the gate electrode of said MISFET at the same time it forms the gate dielectric film of said MISFET.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which prepared FET (field-effect transistor) of MIS (metal / insulator layer / semi-conductor) structure in the component field by which trench separation was carried out, and its manufacture approach.

[0002]

[Description of the Prior Art] In order to achieve high integration of a semiconductor integrated circuit in recent years, instead of the conventional LOCOS separation, the trench separation which has high electrical isolation capacity by narrower insulator separation width of face is adopted. Here, in the conventional trench isolation construction which embedded the insulator layer for isolation of a monolayer, when MISFET was formed, there were the following troubles.

[0003] This trouble is explained using the conventional flat-surface mold MISFET using trench separation of drawing 17. (a) is a top view, (b) is the view A-A' sectional view of (a), and (c) is the view B-B' sectional view of (a). It is drawing 17, and in 1, a gate electrode and 9 show a source drain field, and, as for a semi-conductor substrate and 3, 12 shows gate dielectric film, as for the insulator layer for embedding isolation, and 8.

[0004] After creating the insulator layer 3 for isolation conventionally, gate dielectric film 12 is formed, and the gate electrode 8 is formed further. Here, although it is necessary to perform etchback processing of an insulator layer in order to expose the front face of the semi-conductor substrate 1 after embedding the insulator layer 3 for isolation, the insulator layer 3 for isolation will be etched in the case of this etchback processing, and the insulator layer 3 for isolation will become low rather than the exposure front face of the semi-conductor substrate 1 like drawing 17 (b). And in b part, since the amount of [of a semiconductor region] corner exposes and the gate electric field of the part of an angle concentrate, rather than a part, the threshold when forming a transistor will fall and a parasitic transistor will be formed.

[0005] If gate width becomes small, in order that the conductance ratio to the flat-surface section transistor of this parasitic transistor may give a threshold which becomes large and is different, in the integrated circuit which forms the transistor of some gate width, a parasitic transistor poses a big problem on a circuit design. Moreover, the configuration of a semiconductor region and a component isolation region changes with the shape of the amount of etching, or a trench equation which is separable accompanying [generally] pretreatment of gate-dielectric-film formation in this parasitic transistor. For this reason, it becomes the cause by which an electrical property changes and the repeatability of a device is worsened.

[0006]

[Problem(s) to be Solved by the Invention] Thus, by the trench isolation construction which forms the insulator layer for isolation by the monolayer, for gate-dielectric-film pretreatment at the time of MISFET formation, the insulator layer for isolation was etched rather than the semiconductor region, it became low, the amount of [of a semiconductor region] corner exposed, and there was a problem that the parasitic transistor to which the threshold fell was formed, conventionally.

[0007] This invention can prevent beforehand the exposure for a corner of the semiconductor region accompanying gate-dielectric-film formation pretreatment, and reduces the effect of a parasitic edge transistor, and the place which it was made that the above-mentioned problem should be solved and is made into the object has it in offering the semiconductor device which can aim at improvement in repeatability, and its manufacture approach.

[0008]

[Means for Solving the Problem]

(Outline) The main point of this invention is to substitute for the insulator layer for isolation near the semiconductor region another insulator layer which cannot be easily etched by gate-dielectric-film formation pretreatment. Furthermore, even if this invention does not necessarily contact the insulator layer for etching prevention to a semiconductor region, it is characterized by the ability to form the film in which it is made not exposed [a semi-conductor substrate edge], and the interface property was excellent between a semiconductor region and the etching prevention film with the insulator layer increment at the time of gate-dielectric-film formation.

[0009] Namely, this invention forms a trench in the component isolation region of a semi-conductor substrate, and sets it to the semiconductor device which prepared MISFET in the component field separated with this trench. The 1st insulator layer of said trench formed in the side face at least and the 2nd insulator layer embedded and formed in said trench are provided. It is formed to the location higher than the top face of said semi-conductor substrate where the 1st insulator layer is equal to the top face of said semi-conductor substrate, and is characterized by coming to set up the distance of the 1st insulator layer and said semi-conductor substrate below in the thickness of the gate dielectric film of said MISFET.

[0010] Moreover, the process at which this invention forms a trench in the component isolation region of a semi-conductor substrate in the manufacture approach of the semiconductor device of the above-mentioned configuration, The process which forms the insulator layer for an etching halt along the front face of a substrate in which said trench was formed through a buffer insulator layer with thickness thinner than the gate dielectric film of said MISFET, While etchback of each insulator layer is carried out to the process which deposits the insulator layer for isolation on the whole surface until said substrate front face is exposed, and embedding said insulator layer for isolation in said trench The process of said trench which leaves said insulator layer for an etching halt at least to a side face to the same or location higher than a substrate top face as a substrate top face, It is characterized by including the process which forms a buffer insulator layer again between said insulator layers for an etching halt and substrates, and the process which forms the gate electrode of said MISFET at the same time it forms the gate dielectric film of said MISFET.

(Operation) Even if the 3rd insulator layer between the 1st insulator layer for etching prevention and a semi-conductor substrate is etched by gate-dielectric-film formation pretreatment, it is returned with the structure of this invention by the new insulator layer at the time of gate-dielectric-film formation of MISFET. Moreover, the edge of a semi-conductor substrate can reduce the effect of a parasitic transistor with an edge at the time of gate electrode formation, without [therefore] becoming higher than an insulator layer. Furthermore, since it is returned by the new insulator layer at the time of gate-dielectric-film formation of MISFET even if the etching depth of the 3rd insulator layer between the 1st insulator layer and a semi-conductor substrate changes with gate-dielectric-film formation pretreatment, even if the amount of pretreatments changes, the configuration between MISFET and the insulator layer for isolation can form in stability.

[0011] Moreover, since the effect of a parasitic transistor is small, a homogeneous good threshold and a subthreshold level swing jazz multiplier are realizable also between the transistors from which gate width differs. Furthermore, since the level difference by insulator layer etching is small at the time of gate lithography, the level difference of a semi-conductor front face and a trench part is also reduced, and even if the depth of focus is shallow, a uniform and good gate configuration can be formed. Moreover, since the gate electrode substrate is formed in more uniform height also at the time of etching of gate

formation, gate electrode residue stops being able to remain easily and the gate formation of the coverage can be carried out in height also with bad uniform gate electrode material. For this reason, the gate which has homogeneous good field resistance can be formed.

[0012] Moreover, if the manufacture approach of this invention is used, it can be based neither on the amount of gate-dielectric-film formation pretreatment etching, nor the configuration of trench separation, but an insulator layer can be formed between a semi-conductor substrate and the 1st insulator layer at the process which forms gate dielectric film, and, thereby, the effect of an edge parasitism transistor can be prevented.

[0013]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained, referring to a drawing.

(Operation gestalt 1) Drawing 1 is for explaining the component structure of the semiconductor device concerning the 1st operation gestalt of this invention, (a) is a top view and (b) is the view A-A' sectional view of (a). With this operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently.

[0014] A trench is formed in the component isolation region of the semi-conductor substrate 1, and pad formation of the insulator layer 3 for isolation (the 2nd insulator layer) is carried out through the buffer insulator layer (the 3rd insulator layer) 4 and the insulator layer 2 for etching prevention (the 1st insulator layer) into this trench. Gate dielectric film 12 is formed in the front face of the component field surrounded with the trench, and the gate electrode 8 is further formed on each insulator layer in gate dielectric film 12 and a trench. And the source drain field 9 is formed in the both sides of the gate electrode 8, and MISFET is constituted.

[0015] Here, the angle of the semi-conductor substrate 1 in drawing 1 (b) is protected by an insulator layer 4 or the insulator layer 2, and it is formed so that the gate electrode 8 may not be arranged in contact with the side face of the semi-conductor substrate 1 through gate dielectric film 12.

[0016] Next, the production process of the semiconductor device of this operation gestalt is explained using drawing 2 and drawing 3. These drawings are production process drawings corresponding to the cross section of drawing 1 (b). First, a trench is formed in the field which forms the insulator layer for isolation in the p mold Si substrate 1 of boron concentration 10^{17}cm^{-3} by patterning and etching as shown in drawing 2 (a). The depth of a trench is set to 0.1–1.0 micrometers. The $10^{12}\text{--}10^{14}\text{cm}^{-2}$ ion implantation of the boron may be carried out as a punch-through stopper after trench formation.

[0017] Subsequently, as shown in drawing 2 (b), after 5nm's oxidizing and forming the buffer insulator layer 4, the insulator layer 2 used as an etching stopper, for example, a silicon nitride, is deposited for the front face of the semi-conductor substrate 1. Thickness of this insulator layer 2 is taken as for 10–200nm. Furthermore, as shown in drawing 2 (c), the insulator layer 3 for isolation is deposited and flattening of the front face is carried out. As an insulator layer 3, the PSG film with a thickness of 0.3–1 micrometer is used, for example. As an insulator layer 3, 700 degrees C – about 1000 degrees C annealing may be added, for example, melt of the film may be carried out, and thickness may be made into homogeneity.

[0018] Subsequently, as shown in drawing 3 (a), overall etching of the insulator layer 3 is carried out from a front face, and it is made exposed [the semi-conductor substrate 1] to a front face. It is made slow [compared with an insulator layer 3 / an insulator layer 4 or the rate of etching of two] at this time, and if it graduates completely by polishing, it can perform comparatively easily embedding and forming an insulator layer 3 in the semi-conductor substrate 1. Of course, reactive ion etching may be used for overall etching. Moreover, after etching in this case so that an insulator layer 2 may remain in the heights front face of the semi-conductor substrate 1 by overall etching, an insulator layer 2 may be etched selectively and may be removed.

[0019] Subsequently, washing processing of the semi-conductor substrate 1 before forming gate dielectric film 12 is carried out. At this time, as shown in drawing 3 (b), an insulator layer 4 is etched and you may come below the top face of the semi-conductor substrate 1. Under the present circumstances,

a front face is made not to be formed below the front face of the semi-conductor substrate 1 using the film which cannot be easily etched by washing processing as an insulator layer 2.

[0020] Subsequently, gate-dielectric-film 12 formation pretreatment etching is performed, and as shown in drawing 3 (c), gate dielectric film 12 is formed. The thickness is set to 5–50nm at formation of the gate film 12 using oxidation of the front face of Si of a substrate 1. At this time, the film decrease by etching formed in the insulator layer 4 can be returned with gate dielectric film 12 by maintaining the distance of an insulator layer 2 and the semi-conductor substrate 1 below at gate-dielectric-film thickness.

[0021] Subsequently, the gate electrode 8 which consists of polish recon, for example is deposited completely, and it is POCl_3 to this gate electrode 8. Low resistance is spread and formed. Then, gate processing is etched with lithography. Then, 5–50nm may oxidize a gate side attachment wall for example, in an oxygen ambient atmosphere.

[0022] Then, the structure shown in said drawing 1 is acquired by forming the source drain field 9 of n mold by carrying out the 10^{13}cm^{-2} – $2 \times 10^{16}\text{cm}^{-2}$ ion implantation of phosphorus or the arsenic, for example.

[0023] Thus, there are the following three features with this constituted operation gestalt.

(1) Carry out overall etching of the insulator layer 2 as an etching stopper after complete formation, and form the etching stopper 2 only in the trench sections other than a semiconductor region selectively. Therefore, it is not necessary to carry out patterning of the etching stopper film 2, and a process is easy and the problem of doubling gap does not have it, either.

(2) Since the film 2 is formed so that the side face and the interior of a trench of the semi-conductor substrate 1 may be covered by using for the etching stopper film 2 the film which has the stopping-power force to oxidation reduction agents, such as oxygen, hydrogen, or a steam, configuration change of the semi-conductor substrate 1 by the oxidation reduction agent after gate-dielectric-film formation can be prevented.

(3) Since the semi-conductor substrate 1 is a support substrate, like the semiconductor region formed on the insulator, the substrate floating effectiveness of the threshold shift or threshold aggravation by electron hole are recording does not arise, but substrate bias impression can be performed.

(Operation gestalt 2) Drawing 4 is the component structure sectional view showing the semiconductor device concerning the 2nd operation gestalt of this invention. With this operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0024] Although this operation gestalt is the same on the 1st operation gestalt and basic target, the configuration and the forming method of the etching stopper film 2 differ from the 1st operation gestalt. The etching stopper film 2 is made to remain only in the side attachment wall of the semi-conductor substrate 1 with this structure, as drawing 4 shows. This is [after forming the etching stopper film 2 in the whole surface] realizable by leaving the etching stopper film 2 only to a side-attachment-wall part with a large trench level difference by carrying out reactive ion etching of the film 2 almost vertically from a front face.

[0025] Then, the insulator layer 3 for isolation is deposited, overall etching of an insulator layer 3 and gate-dielectric-film 12 formation pretreatment etching are performed, and the process after gate-dielectric-film 12 formation and gate electrode formation is performed. Since it is the same as that of the 1st operation gestalt, these processes are skipped.

[0026] Like this operation gestalt, the features of (1) and (3) of the 1st operation gestalt are maintained with the structure which formed the etching stopper film 2 only in the side attachment wall. Furthermore, with this structure of drawing 4, since he is trying for the etching stopper film 2 to remain only in the side attachment wall of the semi-conductor substrate 1, stress can be made smaller than the case where it is the 1st operation gestalt by which the film 2 was formed in the whole surface. Moreover, distortion by the difference of the coefficient of thermal expansion by the temperature change of the

etching stopper film 2, the semi-conductor substrate 1 or the etching stopper film 2, and an insulator layer 3 can also be made small.

(Operation gestalt 3) Drawing 5 is the component structure sectional view showing the semiconductor device concerning the 3rd operation gestalt of this invention. With this operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently. In addition, the same sign is given to the same part as drawing 12, and the detailed explanation is omitted.

[0027] Although this operation gestalt is the same on the 2nd operation gestalt and basic target, the configuration and the forming method of the etching stopper film 2 differ from the 2nd operation gestalt. With this structure, an insulator layer 14 is formed by forming the etching stopper film 2 with polycrystalline silicon, oxidizing or nitriding and insulator-layer-izing the film 2 at the time of gate formation. The insulator layer 3 is embedded through the film 2 and an insulator layer 4 at the semi-conductor substrate 1. Furthermore, the insulator layer 14 is formed in the upper part of the film 2, and it is functioning as an insulator layer for isolation.

[0028] Here, the angle of the semi-conductor substrate 1 in drawing 5 is protected by an insulator layer 14 or the insulator layer 4, and it is formed so that the gate electrode 8 may not be arranged in contact with the side face of the semi-conductor substrate 1 through gate dielectric film 12.

[0029] With this structure, after 10nm's oxidizing and forming an insulator layer 4, 10–200nm of insulator layers 2 used as an etching stopper, for example, the polycrystalline silicon film, is deposited for the front face of the semi-conductor substrate 1 in which the trench was formed. Furthermore, it leaves the etching stopper film 2 only to a side-attachment-wall part with a large trench level difference by carrying out reactive ion etching of the film 2 almost vertically from a front face. Subsequently, an insulator layer 3 is deposited on the whole surface. As an insulator layer 3, the PSG film with a thickness of 0.3–1 micrometer is used, for example. As an insulator layer 3, it is N2 [700 degrees C – about 1000 degrees C], for example. Annealing may be added, melt of the film may be carried out, and thickness may be made into homogeneity.

[0030] Subsequently, like drawing 6 (a), overall etching of the insulator layer 3 is carried out from a front face, and it is made exposed [an insulator layer 4 or the semi-conductor substrate 1] to a front face. It is made slow [compared with an insulator layer 3 / the rate of etching of an insulator layer 4 or the semi-conductor substrate 1] at this time, and if it graduates completely by polishing, it can perform comparatively easily embedding and forming an insulator layer 3 in the semi-conductor substrate 1. Of course, reactive ion etching may be used for overall etching.

[0031] Subsequently, washing processing of the semi-conductor substrate 1 before forming gate dielectric film 12 is carried out. At this time, like drawing 6 (b), an insulator layer 4 is etched and you may come below the semi-conductor substrate 1. Under the present circumstances, a front face is made not to be formed below the semi-conductor substrate 1 using the film into which the film 2 cannot be easily etched by washing processing.

[0032] Subsequently, gate dielectric film 12 is formed like drawing 6 (c). For example, thickness is made into for 5–50nm, using the oxidation or the nitriding of a substrate 1 on the front face of a semi-conductor as gate film. At this time, the upper part of the film 2 is also oxidized or nitrided, and serves as an insulator layer 14. The film decrease formed in the insulator layer 4 can be returned by gate dielectric film 12 and the insulator layer 14 by maintaining the distance of an insulator layer 2 and the semi-conductor substrate 1 below at the sum of the increment by insulator-layer-izing of gate-dielectric-film thickness and the film 3 here.

[0033] Then, the process after gate electrode 8 formation is performed. Since it is the same as that of the 1st operation gestalt, these processes are skipped. There are the following three features with this operation gestalt.

(1) The etching stopper film 2 is selectively formed only in the trench sections other than a semiconductor region. Therefore, it is not necessary to carry out patterning of the etching stopper film 2, and a process is easy, and doubles theoretically and the problem of gap does not have it, either.

(2) Since the semi-conductor substrate 1 is a support substrate, like a semiconductor region like the semiconductor region formed on the insulator formed on the insulator, the substrate floating effectiveness of the threshold shift or threshold aggravation by electron hole are recording does not arise, but substrate bias impression can be performed.

(3) An insulator layer 14 can bury a part for film decrease of the film 4, even if spacing of the film 2 and the semi-conductor substrate 1 leaves only the sum of the thickness increment by oxidation or nitriding of the film 2, and gate dielectric film 12, since it has obtained by oxidation or nitriding of the film 2. For this reason, the thickness of the film 4 can be secured more greatly. Then, even if it uses the film 3 in which isolation voltage is inferior to the film 4, pressure-proofing is maintainable by thickening the film 4. Furthermore, even if the film 3 or the film 2 is charged, effect which it has on the semi-conductor substrate 1 can be made small by thickening the film 4.

(4) Since the film 2 is formed only in the side face of the semi-conductor substrate 1, distortion by the membrane stress of the 2nd operation gestalt or the difference of a coefficient of thermal expansion can also be reduced as compared with the case of the 1st operation gestalt.

(Operation gestalt 4) Drawing 7 is the component structure sectional view showing the semiconductor device concerning the 4th operation gestalt of this invention. With this operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0034] As for this operation gestalt, unlike the 1st operation gestalt, the semiconductor region 1 is separated with the support substrate. A transistor field is created on the p type semiconductor field 1, and the gate electrode 8 is formed in the upper part of a substrate 1 through gate dielectric film 12. n mold field 9 is formed in the both sides of the gate electrode 8 like the 1st operation gestalt, and it has become the source of a flat-surface mold MOS transistor, and a drain (see drawing 1 (a)).

[0035] The semiconductor region 1 is embedded through the insulator layer 4 and the insulator layer 2 at the insulator layer 3, and the insulator layer 3 is functioning as an insulator layer for isolation. Moreover, the semiconductor region 1 is formed on the support substrate 11 through the insulator layer 3. Here, the angle of the semiconductor region 1 in drawing 7 is protected by an insulator layer 4 and the insulator layer 2, and it is formed so that the gate electrode 8 may not be arranged in contact with the side face of a semiconductor region 1 through gate dielectric film 12.

[0036] It is the same as the 1st operation gestalt until it deposits 10-200nm of insulator layers 2 used as an etching stopper, for example, a silicon nitride, for the front face of the semi-conductor substrate 1 in which the trench was formed, with this structure, after 5nm's oxidizing and forming an insulator layer 4.

[0037] Subsequently, after depositing an insulator layer 3 on the whole surface, as shown in drawing 8 (a), it sticks so that an insulator layer 3 side may counter the support substrate 11. As an insulator layer 3, the PSG film with a thickness of 0.1-2 micrometers is used, for example. It is N2 in order to carry out a reflow of the insulator layer after depositing an insulator layer 3, and to graduate. Annealing in an ambient atmosphere and annealing in a steam ambient atmosphere may be added. Furthermore, since attachment reinforcement is increased after attachment, it is N2. Annealing in an ambient atmosphere and annealing in a steam ambient atmosphere may be added.

[0038] Subsequently, as shown in drawing 8 (b), overall etching of the semiconductor region 1 is carried out from a front face, and it is made exposed [an insulator layer 4 or 2] to a front face. It is made slow [compared with a semiconductor region 1 / an insulator layer 4 or the rate of etching of two] at this time, and if it graduates completely by polishing, it can perform comparatively easily embedding and forming a semiconductor region 1 in an insulator layer 3. Of course, not polishing but ion etching may be used for overall etching.

[0039] Subsequently, washing processing of the semiconductor region 1 before forming gate dielectric film 12 is carried out. At this time, like drawing 8 (b), an insulator layer 4 is etched and you may come below a semiconductor region 1. Under the present circumstances, the top face of an insulator layer 2 is

made not to be formed below a semiconductor region 1 using the film into which an insulator layer 2 cannot be easily etched by washing processing.

[0040] Furthermore, as shown in drawing 8 (c), gate dielectric film 12 is formed. For example, thickness is set to 5–50nm, using oxidation of the front face of Si of a substrate 1 as gate film. At this time, the film decrease by etching formed in the insulator layer 4 can be returned with gate dielectric film by maintaining the distance of the 2nd insulator layer 2 and a semiconductor region 1 below at gate-dielectric-film thickness.

[0041] The gate electrode 8 which continues, for example, consists of polish recon is deposited completely, and it is POCl₃ to this gate electrode. Low resistance is spread and formed. Then, gate processing is etched with lithography. Then, 5–50nm may oxidize a gate side attachment wall for example, in an oxygen ambient atmosphere.

[0042] Furthermore, the structure shown in said drawing 7 is acquired by forming the source drain field 9 of n mold by carrying out the 1013cm⁻²–2–1016cm⁻² ion implantation of phosphorus or the arsenic, for example.

[0043] As a modification of this operation gestalt, as shown in drawing 9 (a), a trench may not be formed in a right angle but you may form in the shape of a taper. Of course, the taper of drawing 9 (a) and reverse may be formed. Furthermore, as another modification, as shown in drawing 9 (b), an insulator layer 4 may not be formed but the direct insulator layer 2 may be formed in a semiconductor region 1.

[0044] Moreover, as shown in drawing 9 (c), even if a semiconductor region 1 becomes lower than an insulator layer 2, the angle of a semiconductor region 1 serves as a configuration which is not surrounded with the gate electrode 8, and can prevent the effect of an edge parasitism transistor. This configuration is further formed by advancing etching of a semiconductor region 1, after carrying out overall etching of the semiconductor region 1 from a front face and making it exposed [an insulator layer 4 or 2] to a front face like drawing 8 (a).

[0045] There are the following three features with this operation gestalt.

(1) Since front flesh-side reversal of the etching stopper film 2 is carried out after complete formation and the transistor is formed, the etching stopper film 2 is selectively formed only in the trench sections other than semiconductor region 1. Therefore, it is not necessary to carry out patterning of the etching stopper film 2, and a process is easy, and doubles theoretically and the problem of gap does not have it, either.

(2) When coat nature uses the good deposition film for the insulator layer 3 for isolation, and the insulator layer 3 for isolation was formed with sufficient homogeneity along with the film 2, and the insulator layer for isolation embeds and is formed from a top face, “**” which poses a problem does not arise near the interface of the insulator layer 3 for isolation, and an insulator layer 2. Therefore, as good a configuration as etching after gate-dielectric-film formation or a heat process can be maintained.

(3) Since the film 2 is formed so that the whole side face of a semiconductor region 1 and the top face of an insulator layer 3 may be covered by using the film which has the stopping-power force to oxidation reduction agents, such as oxygen, hydrogen, or a steam, as etching stopper film 2, configuration change of the semiconductor region 1 by the oxidation reduction agent after gate-dielectric-film formation and the insulator layer 3 for isolation can be prevented.

(Operation gestalt 5) Drawing 10 is the sectional view of the component structure which shows the semiconductor device concerning the 5th operation gestalt of this invention. With an operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently. In addition, the same sign is attached to the same part as drawing 1 , and detailed explanation is omitted into it.

[0046] Although this operation gestalt is the same on the 4th operation gestalt and basic target, the configuration and the forming method of the etching stopper film 2 differ from the 4th operation gestalt. The etching stopper film 2 is made to remain only in the side attachment wall of a semiconductor region 1 with this structure, as first shown in drawing 11 (a). This can leave the etching stopper film 2 only to a side-attachment-wall part with a large trench level difference after forming the etching stopper film 2 in

the whole surface by carrying out reactive ion etching of the film 2 almost vertically from a front face. Furthermore, after depositing an insulator layer 3, as shown in drawing 11 (b), it sticks and carries out so that an insulator layer 3 side may counter a support substrate. Furthermore, overall etching of a semiconductor region 1 and gate-dielectric-film 12 formation pretreatment etching are performed, and gate-dielectric-film 12 formation is performed. Since it is the same as that of the 4th operation gestalt, these processes are skipped.

[0047] With this operation gestalt, since he is trying for the etching stopper film 2 to remain only in the side attachment wall of a semiconductor region 1, stress can be made smaller than the case where it is the 4th operation gestalt by which the film 2 was formed in the whole surface. Moreover, distortion by the difference of the coefficient of thermal expansion by the temperature change of the etching stopper film 2, a semiconductor region 1 or the etching stopper film 2, and an insulator layer 3 can also be made small. Of course, 4th operation gestalt (1) and (2) The features are maintained.

[0048] Moreover, as a modification of this operation gestalt, as shown in the sectional view of drawing 12, it does not leave the etching stopper film 2 only to a side attachment wall, but the approach of leaving selectively is mentioned to the component isolation region inserted into the semiconductor region 1. After complete deposition, in insulator layer 3', it deposits completely and the structure of drawing 12 is acquired [film / 2] by processing insulator layer 3' and the film 2 so that insulator layer 3' and the film 2 may not remain on a semiconductor region 1 by etching or polishing. Then, after depositing an insulator layer 3, since it is the same as the process of the 4th operation gestalt, it omits.

[0049] Also at the structure of this drawing 12, it is the 4th operation gestalt. The features of (1), (2), and (3) are maintained. Moreover, since the film 2 is not formed in the bottom of a semiconductor region 1, distortion by the membrane stress of this operation gestalt or the difference of a coefficient of thermal expansion can also be reduced as compared with the case of the 4th operation gestalt.

(Operation gestalt 6) Drawing 13 is the component structure sectional view showing the semiconductor device concerning the 6th operation gestalt of this invention. With this operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0050] Although this operation gestalt is the same on the 3rd operation gestalt and basic target, the semiconductor region's 1 being embedded and formed in an insulator layer 3 and insulator layer 3' and the forming method differ from the 3rd operation gestalt. Also with this structure, like drawing 13, the angle of a semiconductor region 1 is protected by an insulator layer 14 or the insulator layer 4, and it is formed so that the gate electrode 8 may not be arranged in contact with the side face of a semiconductor 1 through gate dielectric film 12.

[0051] With this structure, after 5nm's oxidizing and forming an insulator layer 4, 0.1 micrometers of insulator layers 2 used as an etching stopper, for example, the polycrystalline silicon film, is deposited for semiconductor region 1 front face in which the trench was formed. Subsequently, insulator layer 3' is deposited on the whole surface. As insulator layer 3', the PSG film with a thickness of 0.3–1 micrometer is used, for example. As an insulator layer 3, 700 degrees C – about 1000 degrees C annealing may be added, for example, melt of the film may be carried out, and thickness may be made into homogeneity. Furthermore, it etches until the film 2 formed on the semiconductor region 1 is separated for every component isolation region and a semiconductor region 1 exposes the film 2 and 3' by etching. If it is made quick [compared with a semiconductor region 1 / the rate of film 3' or etching of two] at this time, it can perform comparatively easily embedding and forming a semiconductor region 1 in an insulator layer 3. Under the present circumstances, the film 4 may also be etched.

[0052] Furthermore, after depositing an insulator layer 3, it sticks so that an insulator layer 3 side may counter the support substrate 11. As an insulator layer 3, the PSG film with a thickness of 0.3–1 micrometer is used, for example. Since attachment reinforcement is increased after attachment, it is N2. Annealing in an ambient atmosphere may be added.

[0053] Subsequently, overall etching of the semiconductor region 1 is carried out from a front face, and

it is made exposed [an insulator layer 4 or 2] to a front face. It is made slow [compared with a semiconductor region 1 / an insulator layer 4 or the rate of etching of two] at this time, and if it graduates completely by polishing, it can perform comparatively easily embedding and forming a semiconductor region 1 in an insulator layer 3 like drawing 13 . Of course, reactive ion etching may be used for overall etching.

[0054] Subsequently, washing processing of the semiconductor region 1 before forming gate dielectric film 12 is carried out. At this time, like drawing 14 (a), an insulator layer 4 is etched and you may come below a semiconductor region 1. Under the present circumstances, a front face is made not to be formed below a semiconductor region 1 using the film into which the film 2 is hard to be etched by washing processing.

[0055] Furthermore, gate dielectric film 12 is formed like drawing 14 (b). For example, thickness is set to 5–50nm, using the oxidation or the nitriding of a substrate 1 on the front face of a semi-conductor as gate film. The film 2 is oxidized or nitrided from the upper part, and it is made to become an insulator layer 14 at this time. The film decrease formed in the insulator layer 4 can be returned by gate dielectric film 12 and the insulator layer 14 by maintaining the distance of an insulator layer 2 and a semiconductor region 1 below at the sum of the increment by insulator-layer-izing of gate-dielectric-film thickness and the film 3 here.

[0056] Then, the process after formation of the gate electrode 8 is performed. Since it is the same as that of the 1st operation gestalt, these processes are skipped. With this operation gestalt, there are the following features besides the features of (1) and (3) of the 3rd operation gestalt. That is, when coat nature uses the good deposition film for insulator layer 3' for isolation, and it was formed with sufficient homogeneity along with the film 2, and the insulator layer 3 for isolation embeds and is formed from a top face like drawing 13 , ** which poses a problem does not arise near the interface of the insulator layer 3 for isolation, and an insulator layer 2. Therefore, as good a configuration as etching after gate-dielectric-film formation or a heat process can be maintained.

[0057] Moreover, an operation gestalt like drawing 14 (c) which carries out whether it is more nearly equal than the depth in which the conversion possibility of, i.e., the oxidation, or oxidation to an insulator layer 14 is possible in the remaining thickness of etching of the film 2 shown by z of drawing 14 (c) is also mentioned. In this case, if the film with electrical conductivity smaller than the film 2 is used for an insulator layer 14 in order for the film 2 to turn into an insulator layer 14 altogether and not to remain, when forming gate dielectric film 12 like drawing 14 (d), an isolation property can be raised more. (Operation gestalt 7) Drawing 15 is the component structure sectional view showing the semiconductor device concerning the 7th operation gestalt of this invention. With this operation gestalt, although two MISFET(s) are formed, there is not necessarily no need of forming these by arrangement of drawing, and it can be carried out independently. In addition, the same sign is given to the same part as drawing 1 , and the detailed explanation is omitted.

[0058] Although this operation gestalt is the same on the 3rd operation gestalt and basic target, the semiconductor region's 1 being embedded and formed in an insulator layer 3 and insulator layer 3' and the forming method differ from the 3rd operation gestalt.

[0059] With this operation gestalt, like drawing 15 , the film 2 is formed only in the side face of a semiconductor region 1, and an insulator layer 14 is not formed in the top face of the insulator layer 3 for isolation. This leaves the etching stopper film 2 only to a side-attachment-wall part with a large trench level difference after depositing the film 2 by carrying out reactive ion etching of the film 2 almost vertically from a front face. Then, an insulator layer 3 is deposited on the whole surface. As an insulator layer 3, the PSG film with a thickness of 0.3–1 micrometer is used, for example. Then, 700 degrees C – about 1000 degrees C annealing may be added, for example, melt of the film may be carried out, and thickness may be made into homogeneity. Then, it sticks so that an insulator layer 3 side may counter the support substrate 11, and since it is the same as the process explained with the 6th operation gestalt, a subsequent process is skipped.

[0060] With this operation gestalt, there are the following features besides the features of (1) and (3) of

the 3rd operation gestalt.

(1) With this operation gestalt, since he is trying for the etching stopper film 2 to remain only in the side attachment wall of a semiconductor region 1, stress can be made smaller than the case where it is the, 3rd operation gestalt and the 4th operation gestalt by which the film 2 was formed in the whole surface. Moreover, distortion by the difference of the coefficient of thermal expansion by the temperature change of the etching stopper film 2, a semiconductor region 1 or the etching stopper film 2, and an insulator layer 3 can also be made small.

(2) When coat nature uses the good deposition film for the insulator layer 3 for isolation, and embedded and formed from a top face, “**” which poses a problem does not arise near the interface of the insulator layer 3 for isolation, and the gate electrode 8. Therefore, as good a configuration as etching after gate-dielectric-film formation or a heat process can be maintained.

[0061] In addition, this invention is not limited to each operation gestalt mentioned above. although the trench for isolation was formed in the semiconductor region 1 by etching with the operation gestalt -- LOCOS -- a component isolation region is selectively oxidized by law, after exfoliating LOCOS mask material, with etching reagents, such as ammonium fluoride, a LOCOS oxide film may be removed selectively and a trench may be formed. Of course, the LOCOS method may be combined as trench formation semi-conductor etching.

[0062] Although the operation gestalt showed the oxide-film forming method by thermal oxidation as a method of creating an insulator layer 4 and showed how to deposit PSG as the insulator layer 3 for isolation, and a method of forming 3', for example, oxygen or nitrogen may be poured in with the low acceleration energy of 30keV extent, an oxide film may be formed, you may form by the approach of depositing an insulator layer, and these may be combined. Moreover, although 5nm was shown as an example as thickness of an insulator layer 4, it considers as the thickness of 5-50nm that what is necessary is just below the thickness of gate dielectric film 12.

[0063] Moreover, the insulator layer for isolation and the insulator layer forming method itself may use the approach except [these] changing silicon into silicon oxide or a silicon nitride, for example, the approach of pouring into the silicon which deposited oxygen ion and nitrogen ion, and the approach of oxidizing deposited silicon. as silicon oxide -- SHIRIKE, such as PSG and BPSG, -- the id -- deposition oxide films, such as glass or the so-called TEOS, can also be used. Moreover, of course, the monolayers or those bipolar membrane of the AlGaAs mixed crystal to paraelectrics film, such as ferroelectric film, such as a silicon nitride or barium titanate, lead titanate, and strontium bismuth tantalum oxide, barium titanate, and tantalic acid-ized film, and a GaAs substrate can also be used for this insulator layer.

[0064] Moreover, although how to form an oxide film or a nitride by oxidizing or nitriding the semiconductor substrate 1 as gate dielectric film 12 was shown, the bipolar membrane which could use the deposition film and combined these is sufficient. Here, when the deposition film is used, ***** of the film 4 made by etching before gate-dielectric-film formation like drawing 16 (a) is returned by the deposition film. Under the present circumstances, surface coating nature can embed thoroughly the trench of the width of face within 2 double [of that thickness] by the good deposition film. For this reason, by drawing 16 (b), if a semiconductor region 1, the film 2, and spacing y are maintained at 2 double less or equal of the gate deposition film 12 thickness x, the angle of a semiconductor region 1 will not be exposed and the structure of this invention will be formed.

[0065] With an operation gestalt, although p mold single crystal silicon substrate was assumed as a semiconductor region 1, polycrystalline silicon, porous silicon, an amorphous silicon, SiGe mixed crystal, SiC mixed crystal, GaAs, and InP may be used. Of course, a n-type semiconductor may be used and the p mold MISFET may be formed instead of the n mold MISFET.

[0066] Although n mold field formation by phosphorus or the arsenic was shown as a source drain field 9, antimony may be used as a dopant and you may form by the solid phase diffusion and gaseous-phase diffusion using not an ion implantation but BPSG, PSG, etc. Moreover, p mold field may be formed in n mold substrate with boron. Furthermore, when using GaAs as a semiconductor region 1, Zn and Be may be formed in germanium, Si, Sn, and p mold field formation by solid phase diffusion or ion implantation as

a dopant of a source drain at n mold field formation.

[0067] As a support substrate 11, a silicon substrate, a GaAs substrate, an InP substrate, a silicon oxide substrate, an oxidation aluminum substrate, a diamond substrate, a SiC substrate, or the substrate formed by such bipolar membrane may be used.

[0068] Moreover, as etching stopper film 2 of the operation gestalten 1, 2, 4, and 5, although the deposition silicon nitride was shown as an example, silicon is deposited, for example and you may change into a silicon nitride by heat nitriding or the nitrogen ion implantation. Moreover, the monolayers or those bipolar membrane of the paraelectrics film, such as ferroelectric film, such as not a silicon nitride but barium titanate, lead titanate, and strontium bismuth tantalum oxide, barium titanate, and tantalic acid-ized film, can also be used.

[0069] As etching stopper film 2 of the operation gestalten 3, 6, and 7, although the polycrystalline silicon film was shown as an example, single crystal silicon, porous silicon, an amorphous silicon, SiGe mixed crystal, SiC mixed crystal, W, Ta and Ti, or the film insulator-ized by oxidation or nitriding like aluminum may be used, and such bipolar membrane may be used.

[0070] As an ingredient of the gate electrode 8, it is POCl_3 . Although the diffused polycrystalline silicon was shown, the silicon film which carried out the ion implantation of the arsenic may be used, solid phase diffusion of phosphorus or the arsenic may be carried out by PSG and AsSG, and the so-called doped silicon film which doped phosphorus, an arsenic, or boron simultaneously may be used at the time of film formation. Moreover, metals, such as single crystal silicon, porous silicon, an amorphous silicon, and W, Ta, Ti, Hf, Co, Pt, Pd, aluminum, Cu, or the silicide of those can also be used in addition to polycrystalline silicon. Moreover, you may make it these laminated structures.

[0071] In the substrate (SOI substrate etc., equivalent to the operation gestalten 4-7) in which the semi-conductor film was formed on the insulating substrate, it is also possible to apply this invention to mesa mold isolation further again. That is, it can carry out to below the thickness of the gate dielectric film of MISFET which saves the semi-conductor film which forms a component by etching etc. on an insulating substrate in the shape of an island, forms insulator layers, such as SiN film, in the side attachment wall of said semi-conductor film, and forms the distance between this insulator layer and an island-like semi-conductor layer in said semi-conductor film, and it is possible for this to acquire the same effectiveness as said operation gestalt. In addition, in the range which does not deviate from the summary of this invention, it can deform variously and can carry out.

[0072]

[Effect of the Invention] As explained in full detail above, the exposure for a corner of the semiconductor region accompanying gate-dielectric-film formation pretreatment can be beforehand prevented by substituting for the insulator layer for isolation near the semiconductor region another insulator layer which cannot be easily etched by gate-dielectric-film formation pretreatment in trench separation according to this invention, and the effect of a parasitism edge transistor is reduced, and it becomes that it is possible in realizing the semiconductor device which can aim at improvement in repeatability, and its manufacture approach.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The top view and sectional view showing the component structure of the semiconductor device concerning the 1st operation gestalt.

[Drawing 2] The sectional view showing the first half of the production process of the semiconductor device of the 1st operation gestalt.

[Drawing 3] The sectional view showing the second half of the production process of the semiconductor device of the 1st operation gestalt.

[Drawing 4] The component structure sectional view showing the semiconductor device concerning the 2nd operation gestalt.

[Drawing 5] The component structure sectional view showing the semiconductor device concerning the 3rd operation gestalt.

[Drawing 6] The sectional view showing the production process of the semiconductor device of the 3rd operation gestalt.

[Drawing 7] The component structure sectional view showing the semiconductor device concerning the 4th operation gestalt.

[Drawing 8] The sectional view showing the production process of the semiconductor device of the 4th operation gestalt.

[Drawing 9] The sectional view showing the modification of the 4th operation gestalt.

[Drawing 10] The component structure sectional view showing the semiconductor device concerning the 5th operation gestalt.

[Drawing 11] The sectional view showing the production process of the semiconductor device of the 5th operation gestalt.

[Drawing 12] The sectional view showing the modification of the 5th operation gestalt.

[Drawing 13] The component structure sectional view showing the semiconductor device concerning the 6th operation gestalt.

[Drawing 14] The sectional view showing the production process of the semiconductor device of the 6th operation gestalt.

[Drawing 15] The component structure sectional view showing the semiconductor device concerning the 7th operation gestalt.

[Drawing 16] The sectional view showing the modification of this invention.

[Drawing 17] The top view and sectional view showing the component structure of the conventional semiconductor device.

[Description of Notations]

- 1 -- A semi-conductor substrate and semiconductor region
- 2 -- Etching stopper film (the 1st insulator layer)
- 3 3' -- Insulator layer for embedding isolation (the 2nd insulator layer)
- 4 -- Buffer insulator layer (the 3rd insulator layer)
- 8 -- Gate electrode
- 9 -- Source drain field

- 11 -- Support substrate
 - 12 -- Gate dielectric film
 - 14 -- Edge transistor formation inhibition insulator layer
-

[Translation done.]